

文章编号 1004-924X(2026)01-0139-11

基于 JPEG-LS 的多核压缩成像系统

刘 赫, 张 刘, 李桂阳, 沈桑渊, 章家保*

(吉林大学 仪器科学与电气工程学院, 吉林 长春 130012)

摘要:针对小卫星的高分辨率航天 CMOS 相机硬件成本受限、数据存储资源紧张的问题,提出了一种基于现场可编程门阵列(Field Programmable Gate Array, FPGA)的 JPEG-LS 图像压缩算法实现方案,通过并行分组模式在单片 FPGA 上构建了多核实时压缩成像系统。利用 FPGA 接收 CMOS 探测器输出的多通道高速图像数据,采用十一级流水线实现 JPEG-LS 图像压缩算法,并计算其编码参数和优化上下文更新部分的结构,以缩短关键路径。最后,利用多个 JPEG-LS 图像压缩核对 CMOS 探测器输出的多通道高速图像数据进行分组并行压缩。实验结果表明,在当前系统中,改进后的 JPEG-LS 图像压缩核最高运行频率为 46 MHz,压缩参数 near 为 1 时,系统近似于无损压缩且压缩比大于 4,解压图像的峰值信噪比为 50 dB 左右,基本满足遥感图像压缩速率和质量需求。本文为具有图像压缩功能的高分辨率航天 CMOS 相机设计提供了参考。

关键词:图像压缩;CMOS 探测器;现场可编程门阵列;流水线设计;多核压缩成像

中图分类号:TP391.41;TP75 **文献标识码:**A

doi:10.37188/OPE.20263401.0139

CSTR:32169.14.OPE.20263401.0139

Multi-core compression imaging system based on JPEG-LS

LIU He, ZHANG Liu, LI Guiyang, SHEN Sangyuan, ZHANG Jiabao*

(College of Instrumentation & Electrical Engineering, Jilin University, Changchun 130012, China)

* Corresponding author, E-mail: zhangjiabao@jlu.edu.cn

Abstract: To address the constraints of hardware cost and onboard data storage in high-resolution aerospace CMOS cameras for small satellites, a full-pipeline FPGA-based implementation of the JPEG-LS image compression algorithm is proposed. A multicore real-time compression imaging system is integrated on a single FPGA using a parallel grouping architecture. First, multichannel high-speed image streams from CMOS detectors are received by the FPGA. Second, the JPEG-LS algorithm is realized using an eleven-stage pipeline, and the encoding-parameter calculation and context-update modules are structurally optimized to reduce the critical path. Finally, multiple JPEG-LS compression kernels are employed to group and compress the multichannel data in parallel. Experimental results indicate that, in the implemented system, the optimized JPEG-LS core achieves a maximum operating frequency of 46 MHz. With the compression parameter near set to 1, a near-lossless compression ratio exceeding 4 is obtained, and the peak signal-to-noise ratio (PSNR) of the decompressed images is approximately 50 dB. These results sat-

收稿日期:2025-09-05;修订日期:2025-09-28.

基金项目:国家基金委重大科研仪器研制资助项目(No. 62227812);国家自然科学基金资助项目(No. 62073150)

isfy the compression-rate and image-quality requirements for remote-sensing imagery, providing a practical reference for designing high-resolution spaceborne CMOS cameras with integrated image compression.

Key words: image compression; CMOS detector; Field Programmable Gate Array(FPGA); pipeline; multi-core compression imaging

1 引言

遥感卫星已广泛应用于环境监测、农业分析和城市建设等领域,随着遥感对地观测技术的不断进步,航天 CMOS 探测器的分辨率也不断提高,图像数据量以数倍增长,导致研发成本受限的航天遥感小卫星存储资源和星地下传资源紧张^[1-2]。图像压缩算法的本质是去除图像中存在的冗余信息,例如空间冗余和统计冗余等,从而得到更高效的图像数据表达形式。目前,图像压缩已成为航天相机降低输出数据量的主流形式。在常规压缩算法中,JPEG-LS 图像压缩算法具有图像保真度高、算法复杂度低及易于硬件实现等特点,已经广泛应用于航空航天、医学影像等领域^[3-9]。在卫星图像处理相关背景下,利用 FPGA 的查找表、寄存器等逻辑资源以及具备运算速度快、延迟低等特点,可以通过编程灵活定制芯片的功能,满足 JPEG-LS 图像压缩处理系统中高效处理能力、高系统稳定性和高图像质量等需求。因此,基于 FPGA 的 JPEG-LS 图像压缩算法的实现方案,对于多功能航天 CMOS 相机的开发具有重要的研究意义。

目前的 JPEG-LS 图像压缩算法应用与硬件实现方案中,刘方佳^[10]等聚焦医学图像无损压缩的“低资源、高吞吐”,通过流水线优化、二分查找以及模板预读取等设计,在商用 FPGA 上基于 JPEG-LS 实现了高效的医学图像压缩/解压,但其压缩模式仅为无损压缩,且系统接口和架构仍需进行针对性改进。尤传亮等^[11-13]利用 JPEG-LS 图像压缩算法在无损压缩模式下误差计算流程少的优势,通过 FPGA 实现了具有高时序性能的 JPEG-LS 无损压缩核。由于 JPEG-LS 算法无损压缩模式下图像压缩比较低,所以 JPEG-LS 无损压缩核难以适用于要求大压缩比的应用场景。

韩宇等^[14]设计了一种多路并行联合工作的多核压缩系统,其对相机输出的图像进行分块处理后,并行输入多个 JPEG-LS 压缩核进行压缩。但在相机设计时,成像系统板和多核压缩系统板需要进行物理连接,造成航天相机研制成本和发射成本的升高。

综上所述,在小卫星资源约束场景下,现有方案存在明显短板。文献[10]方案性能优秀,但仅有无损压缩,且接口不适用于航天遥感的高速数据、高实时性的需求;文献[11-13]方案时序性能优异,但无损压缩模式导致压缩比偏低;文献[14]方案虽实现多路并行压缩,但物理连接成本较高。为了满足航天 CMOS 相机成像并实时压缩的需求,本文通过十一级流水线在 FPGA 上设计了一种全新的 JPEG-LS 图像压缩核,可以同时支持无损压缩和近无损压缩两种模式。基于 CMOS 探测器输出图像数据的结构特性,在无需外部缓存的情况下,利用单片 FPGA 实现了多个 JPEG-LS 压缩核对多通道图像数据的实时并行压缩。

2 系统总体设计

目前,大多数航天 CMOS 相机通过特定接口向独立的图像压缩板卡发送待压缩的图像数据,以达到图像压缩的目的。为了解决该方案带来的系统结构复杂、研发成本高的问题,这里提出了一种在单片 FPGA 上的多核成像压缩系统。该系统由 CMOS 成像模块和多核图像压缩模块组成,多核压缩成像系统架构图如图 1 所示。

FPGA 首先通过 SPI 通讯协议配置 CMOS 探测器的内部寄存器,当 CMOS 探测器输出图像数据时,利用高速图像接收技术对 CMOS 探测器输出的多路并行低电压差分信号(Low Voltage

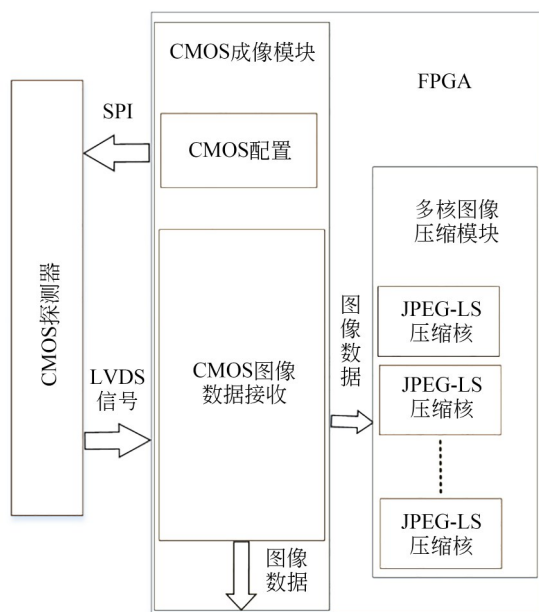


图1 多核压缩成像系统架构

Fig.1 Architecture of multi-core compression imaging system

Differential Signaling, LVDS)图像数据进行正确接收、裁剪和拼接,再将图像数据按照传输通道进行分组,并使用多个 JPEG-LS 压缩核对多组图像数据分别进行实时压缩。该方案可以在单片 FPGA 上完成对 CMOS 探测器的正确配置,并对 CMOS 探测器输出的多路并行图像数据正确接收并实时压缩。

3 CMOS 成像模块设计

3.1 CMOS 成像模块架构

CMOS 成像模块由 CMOS 配置模块和 CMOS 图像数据接收模块组成。其中,CMOS 配置模块通过 SPI 通讯协议的逻辑电路,将配置参数发送至 CMOS 探测器的相应寄存器,当 CMOS 探测器以 LVDS 输出图像数据时,CMOS 图像数据接收模块对经过串转并操作和数据 training 的各通道图像数据进行拼接,并按照成像任务要求对图像数据进行裁剪。将裁剪后的图像数据分别输入至多核图像压缩模块和 Camera-link 拼接模块,然后通过 Camera Link 接口将数据传输至主机,CMOS 成像模块架构如图 2 所示。

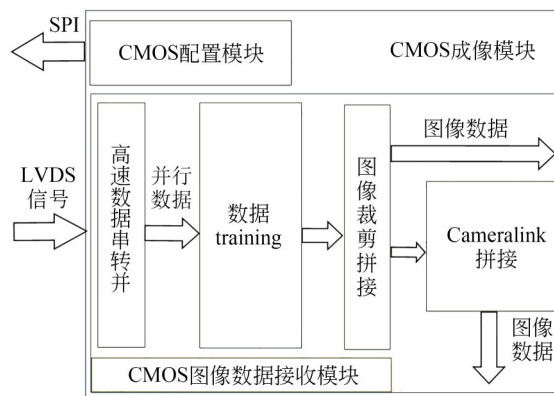


图2 CMOS 成像模块架构

Fig.2 CMOS imaging architecture

3.2 高速图像数据串转并模块

CMOS 探测器输出的图像数据以 LVDS 传输,为了增强信号质量并减少对 FPGA 内部电路的干扰,在 FPGA 的接收端采用差分输入缓冲区 IBUFDS 将双端 LVDS 信号转换为单端信号,接着,对经过比特对齐的单端信号使用串并转换器 ISERDESE2 进行串并转换。

以传输 8 bit 深度的像素为例,需要先将双端 LVDS 信号经 IBUFDS 缓冲区缓冲成单端信号,再采用两个 ISERDESE2 串并转换器将串行数据转为两个 4 bit 的并行数据 data[0:3] 与 data[4:8],然后将这两个 4 bit 并行数据按序拼接成一个 8 bit 的像素。8 bit 串转并框图如图 3 所示。

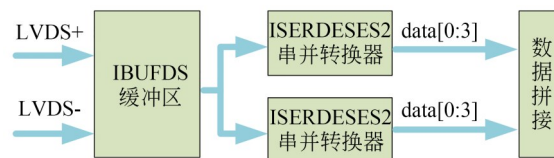


图3 8 bit 串转并框图

Fig.3 Block diagram of operation 8-bit serial-to-parallel

3.3 高速图像数据接收

由于 CMOS 探测器输出通道引脚到 FPGA 接收引脚的印制电路板(Printed Circuit Board, PCB)布线长度存在差异,CMOS 探测器各通道输出的高速图像数据传输至 FPGA 引脚时延迟各不相同,造成 FPGA 接收到错误的图像数

据^[15]。为了解决上述问题,通过比特对齐和字对齐对 CMOS 探测器的输出通道进行 training,以确保 FPGA 正确接收 CMOS 探测器输出的高速图像数据。

为确保时钟上升沿到达时,可以在眼图中心处采集到有效数据。首先,通过 FPGA 的 IDE-LAYE2 原语,累加延迟 tap 数直至数据稳定,记录第一次数据稳定所需的 tap 数量,命名为 eye_start 。然后,继续累加延迟 tap 数直至数据不稳定,记录第一次数据不稳定所需的 tap 数量,命名为 eye_end 。计算时钟上升沿采集到数据眼图中心所需的 tap 数,命名为 eye_mid ,以 eye_mid 为延迟 tap 数对该通道图像数据进行延迟,计算方法如下:

$$eye_mid = \frac{1}{2} (eye_start + eye_end). \quad (1)$$

将采集到的数据与训练字进行比较,若不相同,则通过 ISERDESE2 原语对数据进行移位,直至采集到的数据与训练字相等,记录此时的移位次数;然后使用该移位次数对通道数据进行移位,利用字对齐方式得到正确的图像数据。

4 多核实时压缩架构设计

为满足 CMOS 探测器输出高速图像数据的实时压缩需求,对 JPEG-LS 压缩核的硬件架构进行了时序优化与并行化设计。首先,引入行缓存技术以构建上下文模板,解耦重建值计算与当前像素上下文建模之间的时序依赖关系,减少像素编码等待周期,进而重构流水线结构并实现并行处理。该设计在保障高运行频率的同时,显著降低了硬件资源消耗。其次,通过码字合并与输出分组技术,对压缩码流进行有效组织与标识,构建了低缓存需求的硬件结构。优化编码参数计算路径,提升系统运行频率。采用行缓存和压缩码流精简标识等方法,避免使用大规模缓存,实现了与 CMOS 探测器输出速率相匹配的数据实时处理能力。同时,针对单片 FPGA 对多通道 CMOS 图像数据的实时压缩需求,提出了一种多核并行压缩架构,有效提升了系统吞吐率。

4.1 JPEG-LS 图像压缩算法分析

JPEG-LS 图像压缩算法包括上下文建模模块、常规编码模块、游程编码模块和码流拼接模块^[16-17]。JPEG-LS 图像压缩算法流程如图 4 所示。

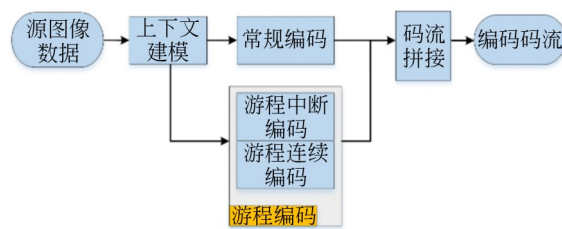


图 4 JPEG-LS 图像压缩算法流程

Fig. 4 Flow chart of JPEG-LS image compression algorithm

利用因果模板获取待编码像素 x 周围 4 个像素 a, b, c, d , 建立待编码像素与周围像素的相关性模型,再经过两两做差、量化、合并等处理,判断当前待编码像素是否处于平滑区域,完成对上下文信息的统计,得到合并参数 q 和待编码像素要进入的编码模式。对处于不平滑图像区域的像素进行常规编码,为了用较少的码位进行编码,根据上下文参数 a, b, c 和合并参数 q 计算预测值 x_p 和误差 e ; 同时为了补偿量化过程丢失的信息,对误差 e 进行量化、校正、模减、映射得到映射误差 e_m , 然后计算 Golomb 编码参数 k , 在 Golomb 编码后输出码流数据。编码结束后,根据地址值 q 对上下文参数 $A[q], B[q], C[q], N[q]$ 进行更新,以补偿系统偏差对 Golomb 编码器的影响,具体编码步骤如图 5 所示。

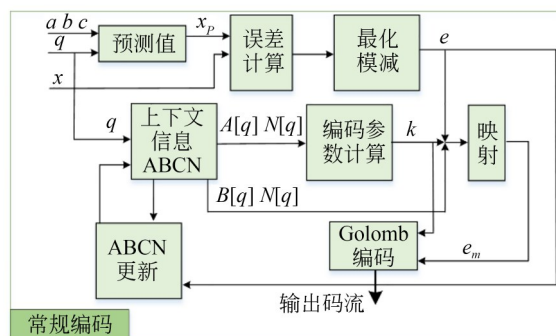


图 5 常规编码流程

Fig. 5 Regular encoding flow

对于在大片平滑图像区域内的像素,通过持续记录游程连续次数并与入口向量表 J 比较,从而确定加入码流的 bit1 的个数,对大片平滑区域的最后一个像素采用游程中断编码,游程编码的具体流程如图 6 所示。

所有像素编码完成后,采用码流拼接模块,将当前码流与之前的码流进行拼接,通过添加头

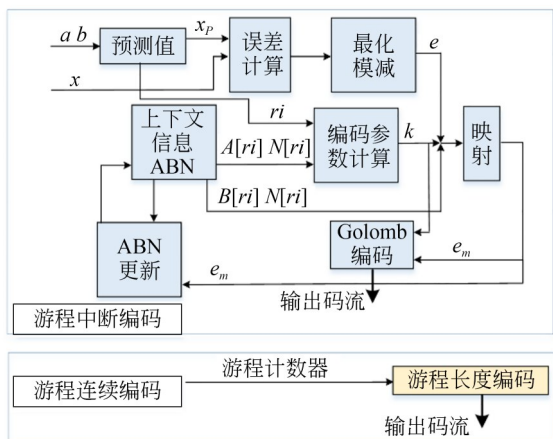


Fig. 6 Run-length encoding flow

尾信号使编码码流能够被解码器正确解码。

4.2 JPEG-LS 图像压缩核的流水线设计

为了在FPGA中实现JPEG-LS图像压缩软核,提出了一种JPEG-LS图像压缩算法的硬件实现方式,采用十一级流水线对算法结构进行合理规划,充分利用FPGA并行处理的优势,使JPEG-LS压缩核的最高运行频率达到46 MHz。

利用FPGA片内Block RAM缓存一行图像数据的方式实现上下文模板的构建,具体实现方式为:通过寄存得到待编码像素 a ,根据当前待编码像素的位置从缓存图像数据的片内Block RAM中读取 b, c, d 3个像素,利用式(2)得到局部梯度值 D_1, D_2, D_3 。为了避免大量的局部梯度数据,通过式(3)对局部梯度值进行量化得到量化参数 Q_1, Q_2, Q_3 ,然后通过式(4)得到合并参数 q 。计算方法如下:

$$\begin{cases} D_1 = d - b \\ D_2 = b - c, \\ D_3 = c - a \end{cases} \quad (2)$$

$$Q_i = \begin{cases} -4D_i \leq -T_3 \\ -3D_i \leq -T_2 \\ -2D_i \leq -T_1 \\ -1D_i \leq -\text{near} \\ 0D_i \leq \text{near} \\ 1D_i \leq T_1 \\ 2D_i \leq T_2 \\ 2D_i \leq T_3 \\ \text{otherwise} \end{cases}, \quad (3)$$

$$q = 81Q_1 + 9Q_2 + Q_3. \quad (4)$$

由于常规编码的上下文信息 B, C, N 的更新与其他变量无关, 将常规编码的上下文信息 B, C, N 的更新与上下文信息 A 的更新分开实现, 以降低寄存器间组合逻辑电路的复杂程度。鉴于游程中断编码的上下文信息 A, B, N 的更新均与误差有着直接或间接关系, 因此, 游程中断编码的上下文信息更新逻辑在一组寄存器之间中实现。为了降低游程连续编码的组合逻辑电路对其他逻辑电路的影响, 游程连续编码模块的逻辑单独在一组寄存器之间实现。为了利用三级流水线实现上下文更新部分的电路, 将常规编码和游程中断编码的预测值计算模块、误差计算模块以及编码参数 k 的计算模块合理地插入三流水线中, 编码参数计算与上下文信息更新部分的流水线设计如图 7 所示。此设计不仅降低了寄存器之间组合逻辑电路的复杂程度, 同时缩短了 JPEG-LS 图像压缩算法 FPGA 实现中的关键路径, 从而提高了系统的最高运行频率。

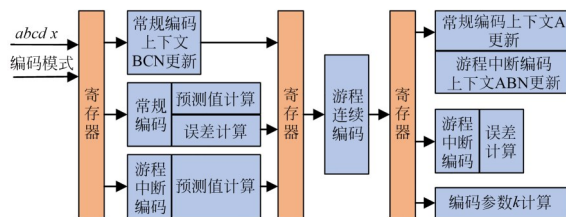


图7 编码参数计算与上下文更新部分的流水线设计
Fig.7 Pipeline design for encoding parameter calculation and context update section

Golomb编码模块在FPGA中采用左右移位和查找表的方式来代替算法中的乘除法,减少了组合逻辑电路的复杂程度。

码流拼接模块对待输出的码流以 8 bit 长度进行分组检查,若检测到为 FF,则添加一个 bit 0 进入码流,以防止与头尾信号重复。每当缓存码流满 16 bit 时则输出一次,输出的同时拉高输出使能,如果输出尾信号,则同时拉高压缩完成标志信号, JPEG-LS 图像压缩算法的十一级流水线如图 8 所示。

按上述方式通过十一级流水线将 JPEG-LS 算法分割后,在 FPGA 芯片中综合得到的逻辑资源消耗如表 1 所示。结果表明,占用芯片逻辑资源小于 2%,符合多核压缩设计逻辑资源低消耗

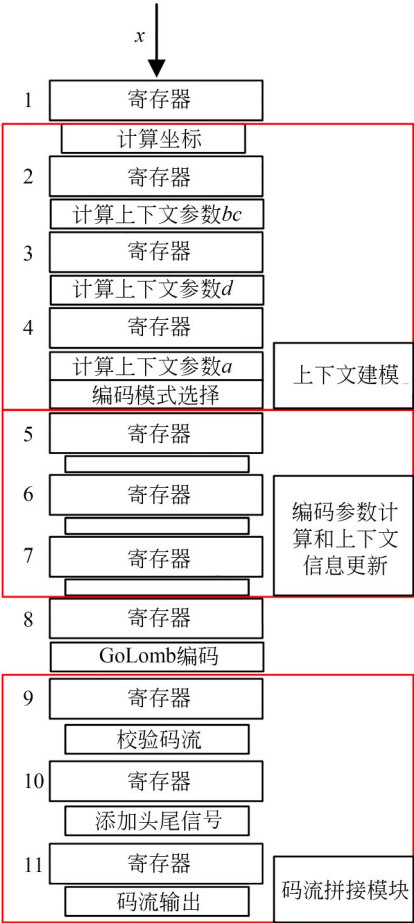


图 8 JPEG-LS 图像压缩算法的十一级流水线
Fig. 8 Eleven-stage pipeline design of JPEG-LS image compression algorithm

的要求。经过时序分析和上板测试, JPEG-LS 图像压缩核的最高运行频率为 46 MHz, 压缩核输出码流仿真图如图 9 所示。

表 2 在逻辑资源消耗和功耗方面对比了本文设计的 JPEG-LS 压缩核与 3 个代表性算法, 算法设计时需要平衡时钟频率、LUT 使用量、FF 使用量和 RAM 使用量, 来实现资源效率、功能速率上的综合优化。

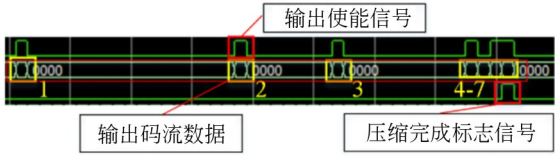


图 9 JPEG-LS 压缩核输出仿真
Fig. 9 JPEG-LS output simulation

表 1 JPEG-LS 压缩核在 xc7k410tffg900-2 中资源使用情况

Tab. 1 Resource utilization of JPEG-LS compression core in xc7k410tffg900-2

类型	字节	占比/%
LUT	3338	1.31
LUTRAM	300	0.33
FF	1209	0.24
BRAM	4	0.50

由对比结果可知, 本设计在资源利用上实现了显著优化, 尽管 LUT 和 FF 相比文献[18]增加约 36%, 但通过减少 11.1% 的 BRAM 需求, 展示了高效的内存管理能力。相较于高资源设计的文献[12], 本文降低了 93.4% 的 BRAM 使用, 证明了在资源受限场景下的适应性优势。吞吐量方面, 本文的 46 MHz 频率相较文献[19]提升 31.4%, 支持更高实时性 (1 080p@22 frame/s), 并在资源约束下接近 JPEG-LS-E 的 55 MHz, 同时超过文献[12]的 36.8 MHz, 展现了优异的性能潜力。动态功耗在 Xilinx Kintex-7 xc7k410t-2 设备上的综合结果并通过 Xilinx Power Estimator 工具估算, 相较文献[18]仅增加 7.75%, 远低于性能提升比例, 表明高效的功耗-性能平衡。综上所述, 本文设计更具优势, 资源和功耗消耗的增幅被性能提升抵消, 并实现了性能和资源效率的平衡, 在功能实现方面表现出色。

表 2 不同压缩 JPEG-LS 算法的性能对比

Tab. 2 Performance comparison of different JPEG-LS algorithms

Method	LUT	FF	BRAM	Max pixel freq/MHz	Dynamic power/W
文献[18]	2 347	932	4.5	35	0.129
文献[19]	5 600	—	2.5	55	—
文献[12]	3 373	1 521	61	36.8	—
Ours	3 338	1 209	4	46	0.139

4.3 多核实时压缩架构设计

为了满足对 CMOS 探测器输出图像数据的实时压缩,这里提出了一种新的多核实时压缩架构,该架构无需缓存整张待压缩图像,节约了系统的存储资源。

CMOS 探测器通过并行多通道输出图像数据,如图 10 所示。其中,CMOS 探测器每个通道的数据宽度为 x 个像素,通道个数为 n ,输出像素总数为 nx 。为了实现对 CMOS 探测器输出图像数据的实时压缩,将 CMOS 探测器的输出通道以每 4 个通道进行分组。然后,通过控制每组中的 4 个通道重复输出 4 次数据,使用 4 个 Block RAM 分别接收 4 个通道的像素并例化 1 个 JPEG-LS 图像压缩核对该组像素进行压缩。多核实时压缩系统架构如图 11 所示。

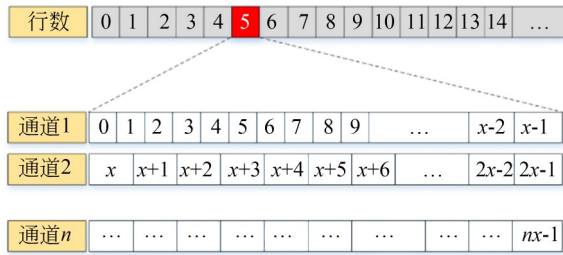


图 10 CMOS 探测器输出数据

Fig. 10 Output data of CMOS detector

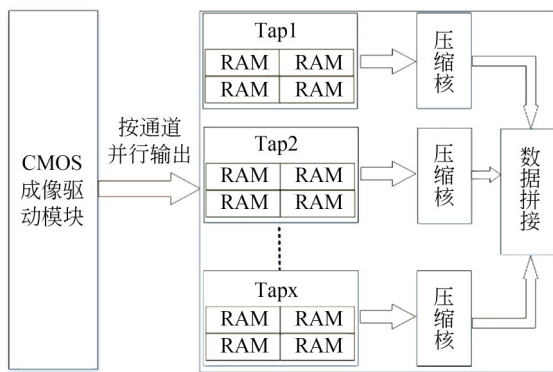


图 11 多核实时压缩系统架构

Fig. 11 Architecture of multi-core real-time compression system

控制每组像素数据从 Block RAM 输出至压缩核的具体方法为:首先,控制第一个 Block RAM 输出 x 个像素;然后,控制第二个 Block RAM 输出同样数量的像素;以此类推,直到 4 个

Block RAM 输出该组中所有像素,输出时序如图 12 所示。

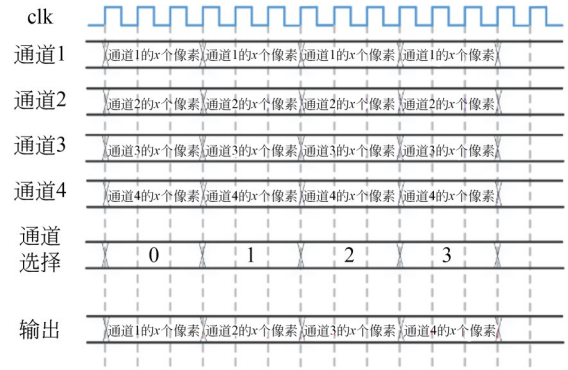


图 12 输出时序

Fig. 12 Output time sequence

5 FPGA 验证及结果分析

5.1 多核压缩成像系统实验硬件平台

为了验证本文提出的多核压缩成像系统方案的可行性,将本方案在硬件平台上进行实验测试,实验硬件平台由镜头、搭载了 CMOS 探测器和 xc7k410tffg900-2 型 FPGA 的多核成像压缩系统板以及主机组成。其中,FPGA 实现的多核成像压缩系统以 7 个 JPEG-LS 压缩核为 CMOS 探测器的 28 个通道进行实时压缩。实验硬件平台如图 13 所示,系统实物如图 14 所示,FPGA 资源消耗情况如表 3 所示。

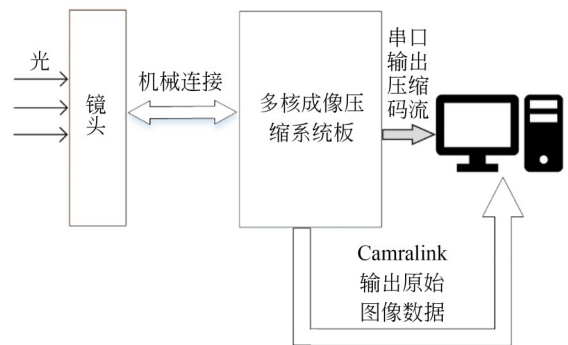


图 13 实验平台

Fig. 13 Experimental platform

5.2 实验与结果分析

通过对原始图像和解压图像的数据量进行计算得到压缩比,利用压缩比衡量压缩算法的压

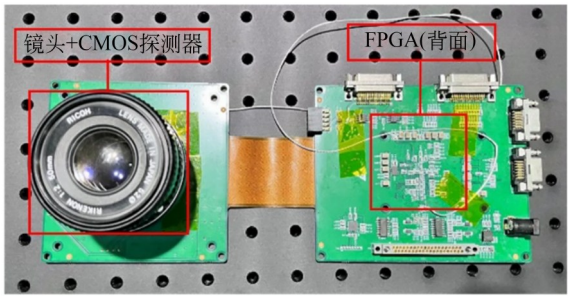


图 14 系统实物

Fig. 14 Physical system

缩能力。为了衡量压缩算法对解压图像的影响,采用峰值信噪比(Peak Signal to Noise Ratio, PSNR)来评价解压图像的质量。具体指标要求为:室内室外拍摄地面图像压缩比大于4,解压图像的PSNR大于40 dB。

PSNR是信号最大功率与信号噪声功率之比^[20-21]。其计算公式如下:

$$MSE = \frac{1}{mn} \sum_{i=0}^{m-1} \sum_{j=0}^{n-1} [I(i,j) - K(i,j)]^2, \quad (5)$$

$$PSNR = 10 \log_{10} \left(\frac{MAX_I^2}{MSE} \right), \quad (6)$$

表 4 室内外拍摄压缩比对比

Tab. 4 Comparison of indoor-outdoor shooting compression ratios

压缩 参数 near	Test 1		Test 2		Test 3		Test 4		Test 5		Test 6	
	压缩文		压缩文		压缩文		压缩文		压缩文		压缩文	
	件大小 (字节)	压缩比	件大小 (字节)	压缩比	件大小 (字节)	压缩比	件大小 (字节)	压缩比	件大小 (字节)	压缩比	件大小 (字节)	压缩比
0	1 628 062	2.576	1 652 143	2.539	1 628 141	2.576	1 603 857	2.615	1 614 777	2.597	1 600 737	2.620
1	902 131	4.650	931 830	4.501	913 615	4.590	886 275	4.733	887 785	4.724	883 905	4.750
2	639 140	6.562	633 557	6.620	599 939	6.991	555 219	7.554	583 693	7.186	518 887	8.083
3	488 734	8.582	455 496	9.208	439 342	9.547	379 646	11.048	429 581	9.764	346 664	11.995
4	399 555	10.450	355 903	11.785	347 670	12.064	290 042	14.461	334 717	12.530	269 411	15.568
10	224 442	18.690	181 364	23.126	174 817	23.993	141 190	29.706	162 935	25.742	136 978	30.620

表4和表5的数据验证了单片FPGA实时压缩的设计目标(压缩比>4,PSNR>40 dB),4.3节的多核分组模式通过7个压缩核处理28通道数据,实现了资源优化。

由表4可知,对当前系统拍摄的6张图像,当压缩参数near为0时,图像压缩比为2.5左右;随着压缩参数near的增大,图像压缩比随之增高。

表 3 xc7k410tffg900-2资源使用

Tab. 3 Resource utilization of xc7k410tffg900-2

类型	字节	占比/%
LUT	106 577	41.93
LUTRAM	8 855	9.77
FF	45 563	8.96
BRAM	112.5	14.15
MMCM	3	30.00

其中: m,n 为图像大小,图像 I 为原图,图像 K 为解压图, MAX_I 为图像的最大值。

使用多核压缩成像系统实验硬件平台在室内、室外进行拍摄,通过输入程序参数配置CMOS探测器,使之输出 $2\,048 \times 2\,048$ 的8 bit的灰度图像,将原始图像数据通过Camera Link接口传输至主机,得到用于计算PSNR和压缩比的标准图像。以不同压缩参数near对图像进行压缩,再将压缩码流通过串口读出至主机,然后通过JPEG-LS解码器程序对压缩码流解码得到解码图。通过比较压缩码流大小和原始图像尺寸可以得到压缩比,对解码图和原始图像计算得到PSNR。实验结果如表4和表5以及图15所示。

压缩参数near大于0可以满足压缩比大于4的指标。

由表5可知,对当前系统拍摄的6张图像以不同压缩参数压缩、解码得到的解压图,随着压缩参数near值的增大,PSNR越来越低;当压缩参数near值小于4时,近无损压缩的PSNR均大于40 dB,满足压缩比大于40 dB的指标。

表 5 室内外拍摄峰值信噪比对比
Tab. 5 Comparison of indoor-outdoor PSNR (dB)

Near	Test 1	Test 2	Test 3	Test 4	Test 5	Test 6
1	50.049 2	49.891 9	50.018 2	49.954 8	49.965 1	49.988 3
2	45.638 4	45.610 9	45.811 2	45.774 0	45.720 5	46.045 5
3	42.960 6	43.091 2	43.169 4	43.386 4	43.197 0	43.815 9
4	40.986 4	41.207 8	41.187 6	41.532 3	41.318 5	41.961 5
10	34.050 4	34.129 4	33.967 7	33.939 2	33.642 0	33.696 4

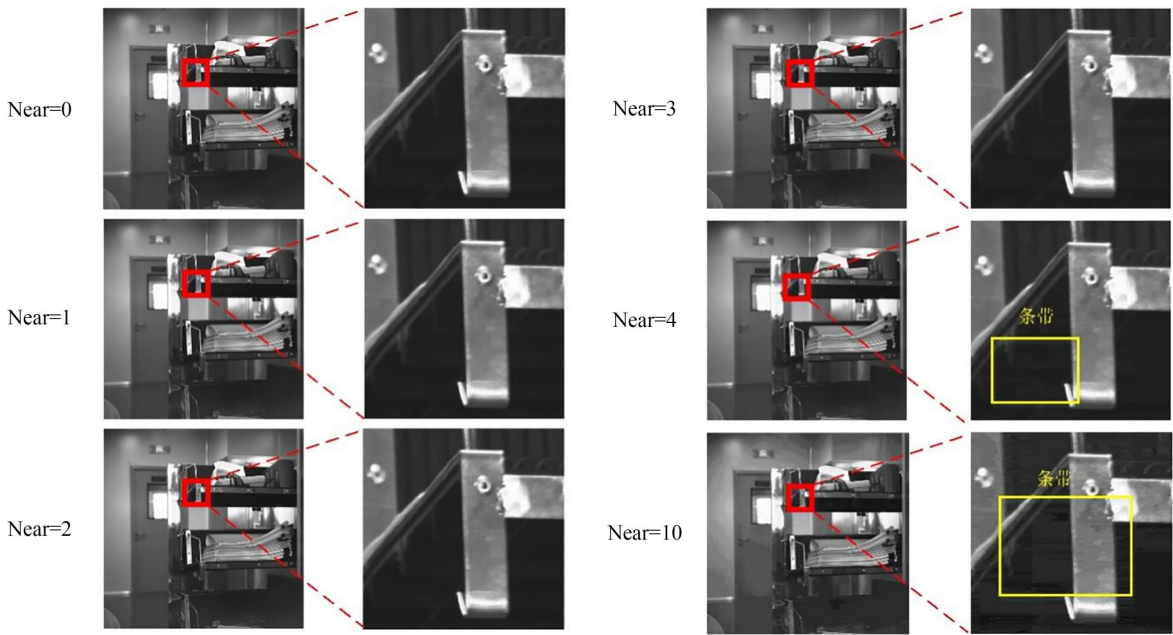


图 15 不同压缩参数的解压效果
Fig. 15 Decompression effects of different compression parameter

由图 15 可知,随着压缩参数 near 值的增大,图像出现的横向条带越来越多,图像失真越来越严重,这是由于 near 值的增大导致待编码像素更容易进入 JPEG-LS 图像压缩算法中的游程编码模式。

综上所述,针对当前系统拍摄的 6 张图像,在压缩参数 near 值为 1 时,图像的压缩比大于 4, PSNR 在 50 dB 左右,压缩比与 PSNR 均满足本文提出的压缩比大于 4, PSNR 大于 40 dB 的指标,证明本文提出的基于 JPEG-LS 的多核压缩成像系统设计可以在航天 CMOS 相机中应用。

6 结 论

本文提出了一种 JPEG-LS 图像压缩算法的 FPGA 实现方式,利用十一级流水线对 JPEG-LS

图像压缩算法进行合理划分,对编码参数计算和上下文更新部分实现逻辑进行拆解,缩短了算法硬件电路的关键路径,使 JPEG-LS 图像压缩核的最高运行频率达到 46 MHz,由此保证对 CMOS 探测器输出数据的实时压缩。与其他设计相比,在性能上和资源消耗的平衡上均表现出色。同时,提出了一种新的多核压缩结构,与 CMOS 成像系统集成后得到多核压缩成像系统,在自研的硬件平台上验证了方案的可行性。实验结果表明:在压缩参数 near 为 1 的情况下,图像压缩比大于 4, PSNR 为 50 dB 左右。

后续研究会进一步优化 JPEG-LS 图像压缩算法的 FPGA 实现方式,提高 JPEG-LS 图像压缩核的最高工作频率、减少逻辑资源消耗。本文提出的多核压缩成像方案具有一定的普适性,可

以应用在商业遥感、机器人等领域中。

作者贡献声明:

刘赫:测量方法提出,论文构思和撰写;

张刘:获取资助与提供指导;

李桂阳:论文审核与编辑写作;

沈桑渊:测量实验数据管理与形式分析;

章家保:论文指导与验证。

参考文献:

- [1] 李勋卓. 高性能 JPEG2000 图像压缩算法硬件实现研究[D]. 武汉: 华中师范大学, 2021.
LI X ZH. *Research on Hardware Implementation of High Performance JPEG2000 Image Compression Algorithm*[D]. Wuhan: Central China Normal University, 2021. (in Chinese)
- [2] 周文华. 保弱小目标信息的星上智能压缩方法及其 FPGA 实现[D]. 武汉: 华中科技大学, 2021.
ZHOU W H. *On-Orbit Intelligent Compression Method for Preserving Weak and Small Target Information and Its FPGA Implementation*[D]. Wuhan: Huazhong University of Science and Technology, 2021. (in Chinese)
- [3] 刘向增, 范立佳, 徐雪灵, 等. 星载 JPEG-LS 图像压缩质量评价研究[J]. 微电子学与计算机, 2021, 38(9): 45-53.
LIU X Z, FAN L J, XU X L, *et al.* Research on quality evaluation of spaceborne JPEG-LS image compression algorithm[J]. *Microelectronics & Computer*, 2021, 38(9): 45-53. (in Chinese)
- [4] 林瑶瑶, 艾波, 高小明. JPEG 2000 和 JPEG-LS 的实现及遥感影像压缩失真分析[J]. 测绘与空间地理信息, 2020, 43(2): 147-149, 152.
LIN Y Y, AI B, GAO X M. Implementation of JPEG 2000 and JPEG-LS and image compression distortion analysis[J]. *Geomatics & Spatial Information Technology*, 2020, 43(2): 147-149, 152. (in Chinese)
- [5] 范文晶, 王召利, 王惠娟, 等. 基于 FPGA 的无损图像压缩算法实现[J]. 电子科技, 2016, 29(11): 126-128, 132.
FAN W J, WANG ZH L, WANG H J, *et al.* Implementation of lossless image compression algorithm based on FPGA [J]. *Electronic Science and Technology*, 2016, 29(11): 126-128, 132. (in Chinese)
- [6] 杨阳. 高光谱图像无损压缩技术研究[D]. 西安: 中国科学院西安光学精密机械研究所, 2016.
YANG Y. *The Research of the Lossless Compression of the Hyperspectral Image*[D]. Xi'an: Xi'an Institute of Optics and Precision Mechanics, Chinese Academy of Sciences, 2016. (in Chinese)
- [7] 宋鸿梅, 徐学庆, 牟海维, 等. 图像无损压缩算法 JPEG-LS 实现及性能研究[J]. 光学仪器, 2014, 36(4): 315-318, 322.
SONG H M, XU X Q, MU H W, *et al.* Realization and performance of lossless image-compression JPEG-LS algorithm[J]. *Optical Instruments*, 2014, 36(4): 315-318, 322. (in Chinese)
- [8] 汪磊. 基于 FPGA 的视频无损压缩算法研究与实现[D]. 杭州: 浙江工业大学, 2013.
WANG L. *Research and Implementation of FPGA-Based Lossless Video Compression Algorithms*[D]. Hangzhou: Zhejiang University of Technology, 2013. (in Chinese)
- [9] 郝勇峥. 基于 JPEG-LS 算法的星载图像压缩系统设计[D]. 西安: 西安电子科技大学, 2011.
HAO Y ZH. *Design of Onboard Image Compression System Based on JPEG-LS Algorithm* [D]. Xi'an: Xidian University, 2011. (in Chinese)
- [10] LIU F J, CHEN X Y, LIAO Z J, *et al.* Adaptive pipeline hardware architecture design and implementation for image lossless compression/decompression based on JPEG-LS [J]. *IEEE Access*, 2024, 12: 5393-5403.
- [11] 李长兴. 基于 FPGA 实现 JPEG-LS 无损压缩算法的研究[D]. 沈阳: 沈阳航空航天大学, 2018.
LI CH X. *Research of JPEG-LS Lossless Compression Algorithm Based on FPGA* [D]. Shenyang: Shenyang Aerospace University, 2018. (in Chinese)
- [12] 尤传亮. 一种图像无损压缩算法 JPEG-LS 的 FPGA 实现[D]. 南京: 东南大学, 2019.
YOU CH L. *FPGA Implementation of a Lossless Image Compression Algorithm JPEG-LS*[D]. Nanjing: Southeast University, 2019. (in Chinese)
- [13] 李冰, 尤传亮, 王亚洲, 等. 一种 JPEG-LS 图像压缩输出编码码流拼接系统及方法: CN11004933 3B[P]. 2021-04-27.
LI B, YOU CH L, WANG Y ZH, *et al.* A sys-

- tem and method for splicing output encoded streams of JPEG-LS image compression: 201910327941[P]. 2019-07-23. (in Chinese)
- [14] 韩宇,袁素春,张建华,等. 高分七号卫星图像压缩FPGA设计与实现技术[J]. 航天器工程, 2020, 29(3): 169-176.
HAN Y, YUAN S CH, ZHANG J H, *et al.* Design and implementation technology of compression coder with FPGA on GF-7 satellite[J]. *Spacecraft Engineering*, 2020, 29(3): 169-176. (in Chinese)
- [15] 张恒,马庆军,王淑荣. 紫外遥感仪器高速CMOS成像电子学系统[J]. 光学精密工程, 2018, 26(2): 471-479.
ZHANG H, MA Q J, WANG SH R. High speed CMOS imaging electronics system for ultraviolet remote sensing instrument [J]. *Opt. Precision Eng.*, 2018, 26(2): 471-479. (in Chinese)
- [16] 张毅. 码率可控的JPEG-LS近无损图像压缩编码器硬件实现[D]. 西安: 西安电子科技大学, 2014.
ZHANG Y. *Hardware Implementation of Rate Controlled JPEG-LS Near Lossless Image Compression Encoder* [D]. Xi'an: Xidian University, 2014. (in Chinese)
- [17] 张毅,雷杰,李云松. 一种新的基于先验数据表的JPEG-LS动态码率控制算法[J]. 电子与信息学报, 2014, 36(4): 823-827.
ZHANG Y, LEI J, LI Y S. A novel dynamic rate control algorithm for JPEG-LS based on empirical data table [J]. *Journal of Electronics & Information Technology*, 2014, 36(4): 823-827. (in Chinese)
- [18] CAST. JPEG-LS-E Lossless & Near-Lossless JPEG-LS Encoder [EB/OL]. [2025-9-25]. <https://www.cast-inc.com/compression/lossless-image-compression/jpeg-ls-e>.
- [19] WANG X. FPGA JPEG-LS image compressor [EB/OL]. (2024-9-18) [2025-9-25]. <https://github.com/WangXuan95/FPGA-JPEG-LS-encoder>.
- [20] 龙吟,王琰,黄才,等. 载人飞船图像系统优化设计及验证[J]. 航天器工程, 2023, 32(2): 87-93.
LONG Y, WANG Y, HUANG C, *et al.* Optimal design and verification of image system for manned spacecraft [J]. *Spacecraft Engineering*, 2023, 32(2): 87-93. (in Chinese)
- [21] 季通明,鲍胜利. JPEG2000图像压缩算法在Android平台的应用[J]. 计算机应用, 2017, 37(S2): 203-206.
JI T M, BAO SH L. Application of JPEG2000 image compression algorithm in Android platform [J]. *Journal of Computer Applications*, 2017, 37(S2): 203-206. (in Chinese)

作者简介:



刘 赫(2000—),男,河南鹿邑人,博士研究生,2020年于吉林大学获得学士学位,主要从事星敏感器系统设计,光电成像技术研究。E-mail: liuhe22@mails.jlu.edu

通讯作者:



章家保(1981—),男,安徽安庆人,博士,副教授,2005年于吉林大学获得学士学位,2010年于长春光学精密机械与物理研究所获得博士学位,主要从事卫星星敏感器系统设计,仿真及测试技术,卫星姿控部件电子学设计与测试技术等研究。E-mail: zhangjiabao@jlu.edu.cn