

文章编号 1004-924X(2025)21-3392-11

大靶面拼接探测器的终端数据接收系统设计

于 勇, 刘塔拉, 任同阳, 贾建禄*, 马 爽, 李学良, 霍 力
(中国科学院 长春光学精密机械与物理研究所, 吉林 长春 130033)

摘要:随着大靶面拼接探测器技术的发展,保障数据处理终端能够高速、无误地接收大规模、高分辨率图像数据至关重要。终端数据接收系统由具备两路光纤接口,八路串口,一路 PCIe 接口的硬件设备及其配套国产系统设备驱动组成。其中,硬件设备以 FPGA 芯片作为核心处理单元。本文详细阐述了终端数据接收系统的硬件结构设计及若干关键技术,包括光纤数据的接收,数据校验与缓存方案设计,设备驱动程序控制串口收发数据的方案设计,采用分散/聚集映射直接内存访问技术(Scatter-Gather Direct Memory Access, SG-DMA)优化硬件设备与计算机之间大容量数据通信的能力和国产系统设备驱动的方案设计。实验结果表明,设备的数据接收速率可以达到 2.26 GB/s,连续长时间运行未发生任何错误,驱动响应时间最短为 111 μ s。该终端数据接收系统在稳定性、传输速率和传输延迟等方面均表现优异,展现了出色的性能和广泛的应用潜力。

关 键 词:图像采集;光纤通信;设备驱动;PCIe;SG-DMA

中图分类号:TP394.1;TN929.11 **文献标识码:**A

doi:10.37188/OPE.20253321.3392 **CSTR:**32169.14.OPE.20253321.3392

Design of terminal data receiving system for large plane splicing detector

YU Yong, LIU Tala, REN Tongyang, JIA Jianlu*, MA Shuang, LI Xueliang, HUO Li

(Changchun Institute of Optics, Fine Mechanics and Physics, Chinese Academy of Sciences,
Changchun 130033, China)

* Corresponding author, E-mail: jiajianlu@ciomp.ac.cn

Abstract: With advances in large-area plane-splicing detector technology, it is essential that data processing terminals reliably receive large-scale, high-resolution image data at high speed and without errors. A terminal data-receiving system was developed, comprising a hardware device with two optical-fiber interfaces, eight serial ports, and a PCI Express (PCIe) interface, together with a domestically developed device driver. An FPGA serves as the system's central processing unit. This paper details the hardware architecture and several key technologies of the terminal data-receiving system, including optical-fiber data reception, data verification and buffering schemes, serial-port transmission control via the device driver, optimization of high-throughput data transfer between the hardware and host using scatter-gather DMA (SG-DMA), and the design of the domestic device driver. Experimental results indicate a sustained data-

收稿日期:2025-04-24;修订日期:2025-06-18.

基金项目:国家自然科学基金资助项目(No. 12122304, No. 12303083, No. 12473085);中国科学院青促会优秀会员资助项目(No. Y2023060)

receiving rate of 2.26 GB/s, error-free continuous long-term operation, and a minimum driver response time of 111 μ s. The terminal data-receiving system demonstrates excellent stability, throughput, and latency characteristics, evidencing strong performance and broad application potential.

Key words: image acquisition; optical fiber communication; device driver; PCIe; SG-DMA

1 引 言

随着地基大型望远镜^[1-3]等光电探测系统向着探测能力强、观测视场范围大的方向发展,应用大靶面拼接探测器技术逐渐成为成像电路设计的趋势^[4-5]。这种大规模拼接探测器通过将多个小型探测单元组合在一起,实现了更大的观测范围和更高的空间分辨率,对于天文学中深空探测和地面遥感中的大面积监测具有重要应用价值。然而,大靶面拼接探测器所产生的海量图像数据对数据处理终端的接收能力提出了极高的要求。

当前图像数据传输链路方式多以 Camera Link、USB3.0 或光纤为主。在图像采集卡领域,Teledyne DALSA 公司推出的 Xtium 系列图像采集卡已成为主流设备,支持 Camera Link 与光纤接口,国内相关企业生产的图像采集卡在功能上亦与之相近。MOXA 公司的多串口扩展卡在工业领域广泛应用,具备优秀且稳定的串口通信性能。但是,这些现有设备在面对大靶面拼接探测器的复杂数据接收任务时,表现出功能上的单一性和扩展性的不足。具体而言,传输大规模拼接探测器的数据不仅需要高带宽的传输能力,还要求接口资源丰富且具备低延迟和高抗干扰性,以保证数据的实时性和准确性。此外,现有设备多数通过 PCIe 接口与计算机连接,当计算机的 PCIe 资源紧张时,一台计算机往往无法同时使用多种设备,限制了系统的扩展性和灵活性。为此,本文设计了一套传输速率高、低时延、接口丰富且符合国产化趋势的终端数据接收系统。该终端数据接收系统由硬件设备及其配套设备驱动程序组成。其中,硬件设备具备一个 VHDCI 68pin 接口,通过一托八连接线,扩展出 8 个 RS422 接口。图像传输采用光纤接口,因为对于大型望远镜这类有转动平台的测量设备,以往采用电缆加机械滑环的方法来传输多路图像信号,但当平台上探测器

数量增加时,对应的滑环数量也会增多,从而导致设备体积膨胀及信号传输路径复杂化,最终可能影响传输的稳定性与可靠性。相比之下,光纤通信具备高传输带宽、强抗电磁干扰能力以及光纤滑环出色的机械性能^[6]。终端数据接收系统中,DDR 存储光纤数据的同时建立错误检测机制,能够实时发现光纤链路中是否出现错误;通过时钟隔离和异步处理,优化硬件中断触发方式;使用多组寄存器协调设备驱动程序与硬件设备,并给出设备驱动程序的详细设计方法,确保功能灵活且稳定可靠;使用 SG-DMA 技术处理 PCIe 接口的大容量数据传输^[7-9]。同时,在 3 种不同的计算机环境下进行了测试,实验结果为:终端数据接收系统的传输速度最高达到 2.26 GB/s,且传输速度受计算机性能的限制,验证了链路错误的识别能力,连续长时间运行未发生任何错误,驱动响应时间最短为 111 μ s,展现了终端数据接收系统的优秀性能。

2 系统的硬件构成

图 1 为终端数据接收系统的硬件设备框图。它的对外接口主要由两路光纤接口(10G SFP),可独立接收两台相机的图像数据。一路 VHDCI 68pin 接口同时和八台串口设备通信,一路 PCIe2.0 X8 接口与数据处理计算机进行交互,并且计算机通过该接口对硬件设备供电。板上搭载 2 GB 容量 DDR,光纤中的图像数据经 SFP 接口光电转化后,由复旦微 K7 系列 FPGA 内部集成的高速收发器处理后存储到 DDR 中,然后,计算机通过 PCIe 接口使用 SG-DMA 技术读取 DDR 中的图像数据。

上述数据接收设备的实物图如图 2 所示。其中,FPGA 芯片与 DDR 芯片由居中的黑色风扇负责散热,以确保数据接收的稳定性,并延长设备的使用寿命。

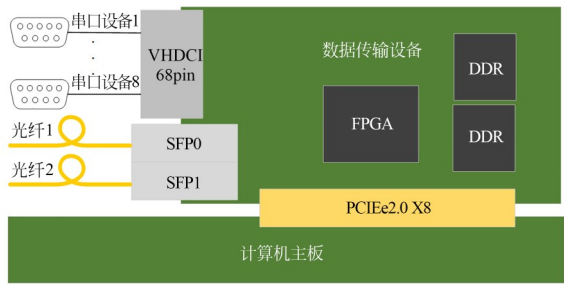


图 1 终端数据接收系统的硬件设备框图

Fig. 1 Block diagram of hardware equipment of terminal data receiving system



图 2 终端数据接收系统的硬件设备实物图

Fig. 2 Physical pictures of hardware equipment of terminal data receiving system

3 FPGA 程序设计

3.1 FPGA 程序框架

如图 3 所示,终端数据接收系统的FPGA程序主要由图像数据接收模块、串口控制模块、DDR控制模块和PCIe控制模块组成^[10]。

3.2 图像数据接收模块

光纤中传输的数据通过高速收发器完成串

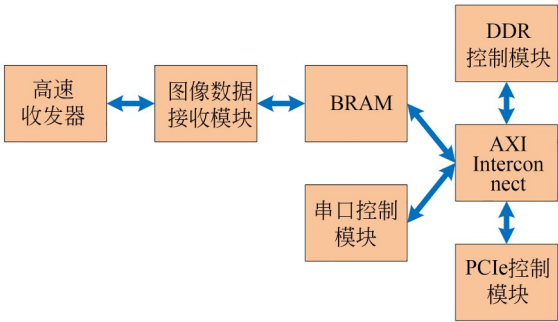


图 3 终端数据接收系统FPGA程序框图

Fig. 3 Block diagram of FPGA program for terminal data receiving system

并转换,与时钟恢复后输出为 16 bit 的图像数据。相机与终端数据接收系统间采用指定的数据包进行通信,如图 4 所示。数据包结构由固定长度(10个像素)和可变长度(具体根据图像分辨率决定)组成。其中,固定长度包括 2 像素帧头信息、2 像素行头信息、2 像素校验和信息、2 像素帧标识信息与 2 像素时间戳信息,可变长度只包括图像数据^[11-12]。该设计具有三重校验机制确保传输可靠性:帧头信息确保数据包起始位置识别无误;校验信息检测数据完整性;帧标识信息由 0 递增, FPGA 程序保留上一帧的帧标识可判断是否丢帧。

帧头	行头	图像数据	校验和	帧标识	时间戳
2PIXEL	2PIXEL	N*PIXEL	2PIXEL	2PIXEL	2PIXEL

图 4 图像数据结构示意图

Fig. 4 Schematic diagram of image data structure

如图 5 所示,图像数据接收模块采用有限状态机实现,其工作流程包含 3 个主要状态。状态机初始为 IDLE 状态,这时持续监测高速收发器传递来的数据,当检测到有效帧头后,模块立即计算当前帧信息存储在 BRAM 中的基地址,并在下一时钟周期进入 DATA 状态开始接收像素数据。该状态通过行计数器进行数据量累计,当达到预设行数时进入 CHECK 状态进行数据校验,同时启动列计数器累加,若列计数器达到设定值,则转入 INFO 状态接收帧附加信息(包含帧标识数据和时间戳数据)。最终在完成所有数据包接收后,模块复位各计数器并返回 IDLE 状态,等待下一帧数据到达。

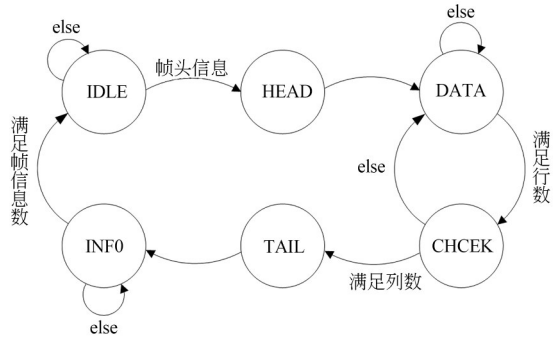


图 5 图像数据接收模块状态机示意图

Fig. 5 Schematic diagram of state machine for image data decoding module

图像数据接收模块在接收光纤数据的同时会开启错误检测功能,为图像传输可靠性分析提供数据支撑。寄存器 `r_statistics_bit_map` 用于记录错误状态,其中 `bit0` 表示是否出现丢整帧现象,`bit1` 表示是否发生丢整行现象,`bit2` 表示是否发生校验值错误,`bit3` 表示是否发生丢数据现象。`r_statistics_bit_map` 的值将与图像数据一并发送至计算机,以便上位机软件能够判断当前是否发生某种错误。

图像数据接收模块在接收光纤中传输的图像信息时,计算与之对应存储地址并把数据放在 DDR 中的相应位置,待接收到完整的图像帧后,通过硬件中断通知计算机通过 PCIe 接口读取图像信息。此方法的作用主要包括以下几个方面:

(1)时钟隔离与异步操作:DDR 内存有效隔离了高速收发器与 PCIe 接口的时钟差异。此外,数据的采集与处理通常是异步进行的,通过将 DDR 作为中间缓存层,暂存采集到的数据,可以实现数据采集与处理两者相互独立。

(2)中断优化与系统效率提高:如果每接收一小部分数据就触发一次中断,将导致 CPU 频繁处理中断请求,这会浪费大量的系统资源。图像数据暂存到 DDR 中,待 DDR 存储完一整帧图像数据后触发一次硬件中断,可以显著减少中断次数,从而提升系统工作效率。

(3)数据校验与传输可靠性:在数据存储的同时,图像数据接收模块会对数据进行校验,只有完成校验确保数据无误后,才会触发中断请求,通知计算机读取数据。这一机制有效提升了数据接收的可靠性,确保传输图像数据的完整性和准确性。

综上所述,将光纤传输的图像数据首先存储到 DDR 内存,并在接收完整帧数据后通过硬中断通知计算机读取,不仅实现了时钟隔离和异步处理,还优化了中断机制,提升了系统效率和数据接收的可靠性。

3.3 串口控制模块

该设备使用抗干扰能力强、信号传输距离长的 RS422 通信接口,并作为一种差分信号传输标准^[13]。如图 6 所示,串口控制模块通过 AXI 总线与 PCIe 控制模块进行数据通信,以实现接收和

处理来自计算机的驱动程序指令。串口控制模块内部首先对 AXI 总线进行地址解析,以实现对各种寄存器组的访问管理。具体而言,串口控制模块支持对 UART 控制寄存器组的写入操作,这些控制寄存器用于配置串口的数据格式参数,包括配置数据位宽、停止位位宽、波特率、校验方式以及中断的使能和清除等。读取 UART 状态寄存器组,以获取校验错误信息、接收 FIFO 和发送 FIFO 中缓存的数据量以及中断状态等信息。

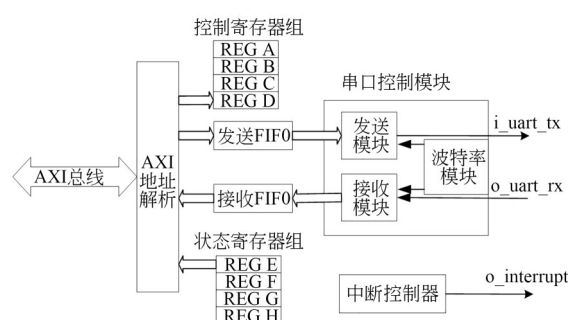


图 6 串口控制模块示意图

Fig. 6 Schematic diagram of serial port control module

在数据接收方面,串口控制模块通过写入发送 FIFO(连接到 UART 发送子模块)来实现数据的发送,通过读取接收 FIFO(连接 UART 接收子模块)来获取接收到的数据。UART 发送子模块负责将并行数据转换为串行数据,并按照串口数据格式将其发送出去。同样,UART 接收子模块则解析接收到的串口数据将其转换为并行数据。

AXI 总线描述了主设备与从设备间的通信规范。该设备中 PCIe 模块作为主设备主动发起读写请求,而串口控制模块属于从设备响应来自主设备的读写请求。当接收数据到达时,UART 控制模块会根据控制寄存器组中的信息来选择是否发送硬件中断信号,当计算机接收到硬件中断后触发相应驱动程序的中断响应函数,函数首先会读取 UART 状态寄存器组中的信息,然后读取接收到的串口数据信息,PCIe 控制模块根据计算机的读取指令,作为主设备通过 AXI 总线从串口控制模块读取数据。同样的,在发送数据时,计算机的驱动程序发送写数据指令给 PCIe 控制模块,PCIe 控制模块作为主设备将数据通过 AXI

总线写入串口控制模块,以完成数据的发送操作。

此种架构设计充分利用 AXI 总线的高带宽和低延迟特性,实现了 UART 控制模块与 PCIe 控制模块之间的高效数据接收。通过精确的地址解析机制与中断管理策略,系统不仅提升了数据接收的可靠性和实时性,同时也增强了整体的可扩展性与灵活性。

3.4 PCIe 控制模块

PCIe 接口是硬件设备与计算机之间建立交互的桥梁,PCIe 总线属于点对点连接方式,可以灵活地构建拓扑关系。表 1 展示了不同规格版本的 PCIe 接口的传输速率与吞吐量。考虑到实际相机的传输速率通常并不会超过 4 GB/s,所以硬件设备使用的 PCIe 接口属于 2.0 版本 X8 规格。

表 1 不同版本 PCIe 的传输速率和吞吐量

Tab. 1 Transmission rate and throughput of different PCIe versions

PCIe 版本	编码格式	传输速率 /(GT·s ⁻¹)	吞吐量			
			X1	X4	X8	X16
1.0	8b/10b	2.5	250 MB/s	1 GB/s	2 GB/s	4 GB/s
2.0	8b/10b	5	500 MB/s	2 GB/s	4 GB/s	8 GB/s
3.0	128b/130b	8	984.6 MB/s	3.938 GB/s	7.877 GB/s	15.754 GB/s
4.0	128b/130b	16	1.969 GB/s	7.877 GB/s	15.754 GB/s	31.508 GB/s
5.0	128b/130b	32 or 25	3.9 or 3.08 GB/s	15.8 or 12.3 GB/s	31.5 or 24.6 GB/s	63.0 or 49.2 GB/s

在计算机系统中,通过 PCIe 接口访问外部设备时,DMA 是不二之选,这是因为 DMA 技术在显著提升数据接收效率的同时,还能降低中央处理器的工作负担,从而大幅优化系统整体性能的效果。然而,在分配 DMA 缓冲区时,当内存大于一页,则必须占据连续的物理页。这是因为 PCI 系统总线传输数据时使用的是物理地址,虽然某些体系架构的 PCI 总线也使用虚拟地址,但出于可移植性的考虑,都采用连续的物理地址,系统上的物理内存会随着时间的流逝而碎片化,这导致在申请连续大物理内存时会面临失败的风险。

针对上述现象,终端数据接收系统采用 SG-DMA 技术,这是一种特殊形式的流式 DMA 映射,其工作原理如图 7 所示。SG-DMA 引入链表这一概念,解决 DMA 内存必须物理连续的问题。描述符链表由多个描述符串联而成,每个描述符中存放物理内存空间中要被执行传输的内存块相关信息,如 DMA 操作的目的地址、源地址、内存块长度和指向下一个描述符的地址指针等,通过把多个离散的物理空间内存块与多个构成链表的描述符一一对应,达到分散和聚集的效果。离散的物理空间内存对应到虚拟内存空间则是一块连续大内存块,具体流程如下:

(1) 计算机申请一块在虚拟内存上地址连

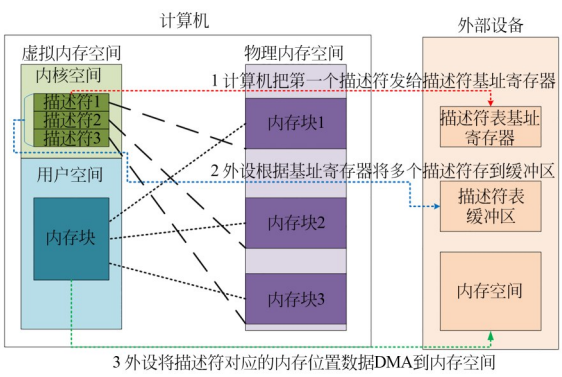


图 7 SG-DMA 工作原理

Fig. 7 Working principle of SG-DMA

续,但对应的物理内存是分散的内存空间;

(2) 计算机在内核空间上申请一块小的内存,用来存放描述符链表,每个描述符对应上一步中的一块连续地址物理内存块;

(3) 计算机把描述符链表的首地址即第一个描述符的地址发给外设的描述符基址寄存器,计算机开启 DMA 请求;

(4) 外设根据描述符基址寄存器中存放的地址找到计算机中存储的描述符链表,并把链表拷贝到自身的描述符链表缓冲区内;

(5) 依次从描述符缓冲区内读出描述符,每个描述符都对应一块计算机上连续的物理内存空间,外设会依次读取对应的内存空间中的

数据;

(6)当缓冲区中的所有描述符都被取出后,代表一次 SG-DMA 操作的完成,外设会触发相应的 DMA 完成中断。

PCIe 控制模块使用 AXI 接口与其他模块进行通信,DDR 控制模块与串口控制模块同样采用的是 AXI 接口。当 PCIe 控制模块接收到计算机发来的数据读取指令后,根据读地址判断是图像数据还是串口数据。

4 设备驱动程序设计

设备驱动程序的开发环境为国产系统。计算机安装的是 Kylin V10 系统,安装设备驱动程序后计算机的设备列表如图 8 所示。其中,CIOMP_FRAME0 和 CIOMP_FRAME1 分别对应两路光纤图像采集通道,ttyCIOMP0-ttyCIOMP7 分别对应八路串口通信接口。

```
kylin@kylin-F300-G30:~/桌面$ ls /dev/ | grep CIOMP
CIOMP_FRAME0
CIOMP_FRAME1
ttyCIOMP0
ttyCIOMP1
ttyCIOMP2
ttyCIOMP3
ttyCIOMP4
ttyCIOMP5
ttyCIOMP6
ttyCIOMP7
kylin@kylin-F300-G30:~/桌面$
```

图 8 计算机设备列表

Fig. 8 List directory of computer devices

4.1 建立 PCIe 设备内存空间映射

根据 DMA 的工作原理,这里进一步说明外设与计算机之间的 PCIe 通信方式。在 PCIe 体系结构中,发送数据首先由设备核心层产生,依次经过事务层、数据链路层和物理层,最终以电气形式通过 PCIe 接口发送出去。数据接收时,则顺序相反,依次经过物理层、数据链路层、事务层,最终到达设备核心层。其中,事务层负责响应用户软件的 PCIe 读写请求,以写请求为例,发送端事务层会把发送数据进行封装,形成 Transaction Layer Packet(TLP)包,接收端事务层则对 TLP 包进行拆解与校验。此外,事务层还具备 Quality of Service(QoS),流量控制(Flow Control)以及 Transaction Ordering 等功能。PCIe 设

备驱动程序也是主要围绕 PCIe 传输环节中的事务层,外部设备与计算机间通过 PCIe 接口传输的数据均以 TLP 包为载体进行传输。

如图 9 所示,TLP 包可分为头部信息、数据信息及 CRC 校验信息。其中,头部信息长度是 12 个或 16 个字节,具体视请求事务类型而定,FMT 字段和 TYPE 字段共同表示 TLP 包的请求事务类型。是否具有数据信息同样视请求事务类型而定,如内存写请求时,需要在 TLP 包中携带数据,校验信息可选择是否存在。

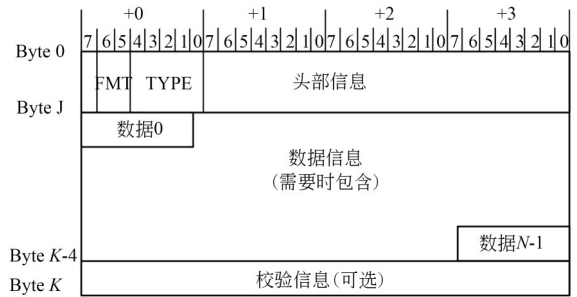


图 9 TLP 封装结构

Fig. 9 TLP packaging structure

TLP 包的请求事务类型表 2 所示,只列出较为常见的几种类型。PCIe 设备的访问方式主要有配置空间读写方式、内存读写方式和 IO 方式。其中,配置空间属于固定内容格式,由 PCI Special Interest Group(PCI-SIG)组织规定 PCIe 的配置空间内容。PCIe 配置空间是便于驱动程序对 PCIe 设备进行配置和管理的一组寄存器。配置空间中存在一组 BAR 寄存器(最多 6 个),它们分别对应一段 PCIe 内部空间。在计算机上电后,由系统固件 BIOS 进行系统初始化配置,PCIe 设

表 2 TLP 包事务类型			
Tab. 2 TLP package transaction type			
TLP 类型	FMT [2:0]	TYPE [4:0]	描述
MRd	000	00000	存储器读请求,不带数据
MWw	010	00000	存储器写请求,带数据
IORd	000	00010	IO 读请求,不带数据
IOWw	010	00010	IO 写请求,带数据
CfgRd	000	00100	配置读请求,不带数据
CfgWw	010	00100	配置写请求,带数据

备的枚举过程就在这时候发生,系统固件读取 BAR 寄存器,确认 PCIe 设备的 BAR 空间资源大小,然后为其分配连续的物理地址范围,并把首地址写回到 BAR 寄存器。至此,PCIe 设备的 BAR 空间与计算机内存空间建立映射关系。

4.2 驱动程序详细设计

终端数据接收系统具有 12 个硬件中断。其中,8 个硬件中断对应 8 路串口通道,4 个硬件中断对应两路光纤图像通道,每路光纤图像通道具有 2 个硬件中断,通过此方法实现乒乓 FIFO 设计,确保图像数据接收过程的稳定、高效运行。具体驱动程序初始化流程如图 10 所示,主要包括结构体申请内存空间并进行初始化,读写 PCIe 配置空间寄存器,建立 PCIe 设备内存空间与计算机虚拟内存空间的映射关系,向 Linux 系统注册与中断号相对应的图像采集中断响应函数和串口读写中断响应函数。

终端数据接收系统在串口读写时会触发串

口硬件中断,Linux 系统会根据中断号找到之前驱动初始化时驱动程序注册的串口中断响应函数。中断响应函数首先会根据中断号明确是哪一路串口发生中断事件,写对应串口通道的控制寄存器通知设备关闭中断,读取对应串口通道的状态寄存器后执行数据读操作或数据写操作,具体要获取的信息如下:(1)当前中断事件是数据读取操作还是数据写入操作;(2)获得对应的发送 FIFO/接收 FIFO 中缓存的数据量;(3)是否发生校验错误、数据格式错误、溢出错误等。

终端数据接收系统在接收完整帧图像数据后会立刻触发图像采集中断,Linux 系统会根据中断号找到之前驱动初始化时驱动程序注册的图像中断响应函数。图像中断响应函数同样根据中断号判断是哪路光纤通道发生中断,数据位于乒乓 FIFO 中的哪个位置,设置用户寄存器清除中断,最后通知用户层应用程序开启 SG-DMA 操作。

5 数据结果分析与功能验证

实验中使用自研的红外相机,相机的数据输出接口同样为光纤,因此终端数据接收系统与相机间采用光纤直连,相机按照图 4 描述的数据包格式将图像数据发送到终端数据接收系统。

5.1 串口收发功能验证

终端数据接收系统串口通道最高波特率为 921 600,可配置数据宽度 5,6,7 或 8 位,可配置停止位 1,1.5 或 2 位,可选奇校验、偶校验、Mask 校验、Space 校验、无校验。如图 11 所示,使用 ChipScope 对串口读写进行功能验证,采用 14.745 6 MHz 的采样频率,发送二进制内容为 10101001。图 11(a)展示串口数据每个 bit 位宽占据 16 个周期长度,所以是 921 600 波特率、8bit 数据位宽、1bit 停止位、偶校验串口数据发送;图 11(b)展示串口数据每个 bit 位宽占据 32 个周期长度,所以是 460 800 波特率、7 bit 数据位宽、1.5 bit 停止位、奇校验串口数据发送;图 11(c)展示串口数据每个 bit 位宽占据 128 个周期长

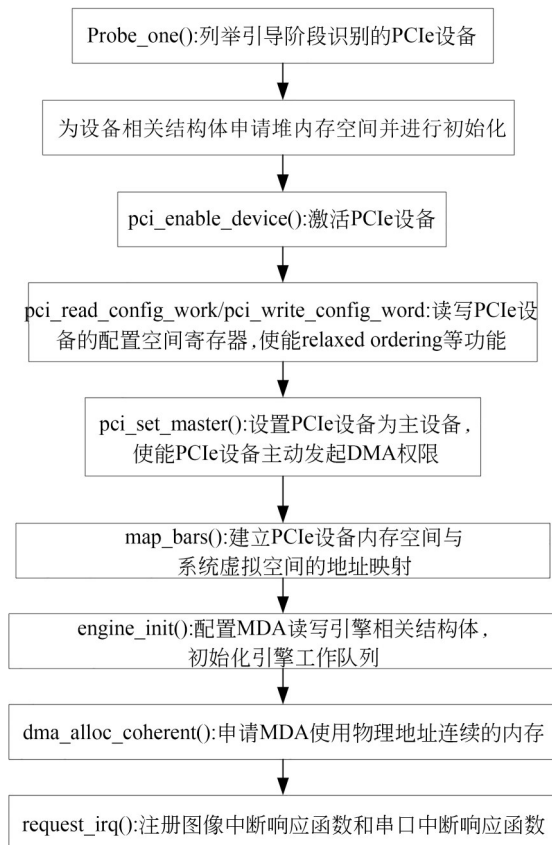


图 10 驱动程序初始化

Fig. 10 Initialization of driver program

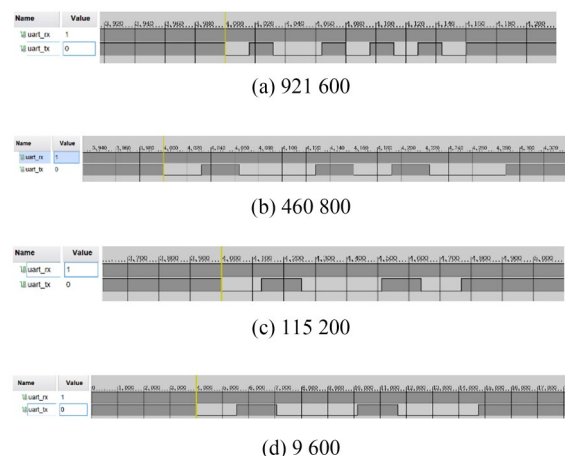


图 11 不同波特率下的串口配置测试

Fig. 11 Serial port configuration test at different baud rates

度,所以是 115 200 波特率、6bit 数据位宽、2 bit 停止位、Mask 校验串口数据接收;图 11(d)展示串口数据每个 bit 位宽占据 1 536 个周期长度,所以是 9 600 波特率、5 bit 数据位宽、1 bit 停止位、Space 校验串口数据接收。

如图 12 所示,使用串口调试助手,在 9 600 波特率、8 bit 数据位宽、1 bit 停止位条件下,终端数据接收系统的串口通道 0 (ttyCIOMP0)与计算机自带的 USB 接口 (ttyUSB0) 连接,收发数据一致。上述实验结果表明,终端数据接收系统的八路串口通道功能完善,数据收发无误。



图 12 串口通信测试

Fig. 12 Serial port communication test

5.2 光纤图像数据接收功能验证

5.2.1 图像传输可靠性分析

为验证图像接收时的错误检测功能,人为制

造 4 种图像接收错误,如图 13 所示。图 13(a)表明发生丢帧错误时, $r_last_frame_index + 1$ 不等于 $r_gt_rx_data$, 寄存器 $r_statistics_bit_map$ 的 bit0 会拉高;图 13(b)表明发生丢行错误时, $r_last_line_num + 1$ 不等于 $r_gt_rx_data$, 寄存器 $r_statistics_bit_map$ 的 bit1 会拉高;图 13(c)表明发生校验错误时, $r_gt_rx_data$ 不等于 r_line_check , 寄存器 $r_statistics_bit_map$ 的 bit2 会拉高;图 13(d)表明发生丢数错误时, r_line_pixels 不等于 $r_line_pixel_num$, 寄存器 $r_statistics_bit_map$ 的 bit3 会拉高。当丢失数据时,校验检测同样会报错。

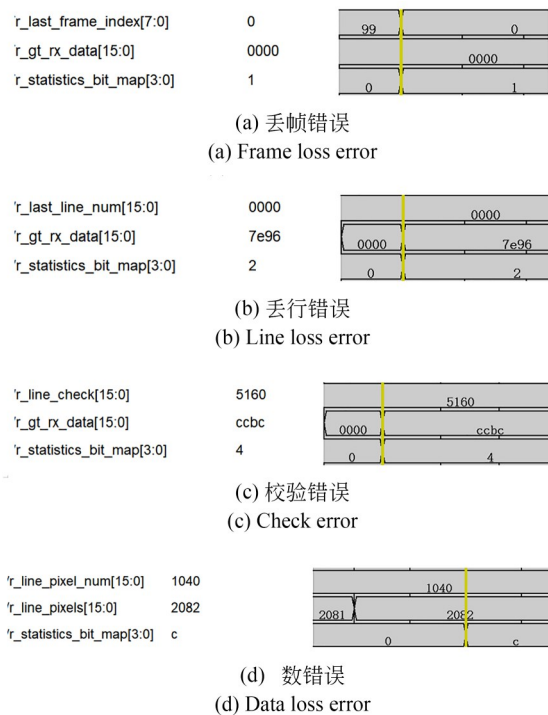


图 13 图像接收错误类型

Fig. 13 Image receiving error types

由此可知,当图像数据在接收过程中发生错误时,终端数据接收系统能够及时检测并上报给计算机。在正式接收相机传输的图像数据期间,连续 10 小时内未出现任何错误,本系统在图像传输方面具有较高的稳定性。

5.2.2 图像传输速率分析

终端数据接收系统速率分析在 3 种实验环境下进行,具体配置如下:

(1) 计算机处理器为 X86 架构的 Intel i5

CPU,操作系统内核为 Linux 5.15;

(2) 计算机处理器为 ARM 架构的飞腾 CPU,操作系统内核为 Linux 5.15;

(3) 计算机处理器为 ARM 架构的服务器 CPU,操作系统内核为 Linux 4.15。

表 3 展示了 3 台计算机在不同数据量下的数据接收平均时长与传输速率。设备采用 SG-DMA 技术,随着数据量的增大,并不会出现传输

速率的下降现象。终端数据接收系统的传输速率同样受计算机性能的影响,测试结果中速率最高可达到 2.26 GB/s,约为 4 GB/s 理论速率的 57%。主要原因如下:电路 PCB 走线过长或阻抗不匹配导致信号传输存在衰减;图像数据传输时会触发多次中断与上下文切换,进而降低吞吐量;PCIe 协议有包头、包尾、流控和确认机制等,都会占用一定的带宽,降低有效数据传输率。

表 3 数据传输速度测试

Tab. 3 Data transmission speed test

数据量大小/MB	Intel CPU 耗时(ms)/ 速率(GB/s)	飞腾 CPU 耗时(ms)/ 速率(GB/s)	服务器 CPU 耗时(ms)/ 速率(GB/s)
0.6	0.443 5/1.35	0.375 4/1.6	0.296 8/2.02
2	1.124 3/1.78	1.107 6/1.8	0.905 5/2.21
8	4.040 9/1.98	4.150 4/1.92	3.569/2.24
18	8.912 2/2.02	9.207 5/1.95	7.993/2.25
32	15.755 6/2.03	16.335/1.96	14.185 7/2.26
128	62.036/2.06	68.334 6/1.87	57.092 5/2.24

上述实验现象表明,终端数据接收系统搭配不同计算机使用,均能够满足图像数据接收的带宽需求,表明它具备较强的适配性和广泛的应用潜力。

5.2.3 图像传输时长分析

图像传输总时长为 t_{total} ,从图像数据接收模块检测帧头信息到接收完整帧图像的时长为 t_{fiber} ,图像数据接收模块在帧尾时会拉高硬件中断,使得计算机驱动程序调用图像接收中断响应函数,通知用户层应用程序开启 DMA 操作,这期间的时长为 t_{driver} ,从 DMA 操作开始到结束的时长为 t_{dma} 。关系如下:

$$t_{\text{total}} = t_{\text{fiber}} + t_{\text{driver}} + t_{\text{dma}}, \quad (1)$$

其中: t_{fiber} 主要受相机的发送速度影响,这里不予讨论; t_{dma} 可参考前一章节中图像传输速率分析,这里不再赘述。本文测试了 3 种环境下,设备从发出中断请求到开启 DMA 传输之间的时长。如表 4 所示,记录多次测量的结果,可见 t_{driver} 同样会受到计算机性能的影响。图 14 为终端数据接收系统的实时采集图像。

表 4 响应时长分析

Tab. 4 Duration analysis

样本 序号	Intel CPU $t_{\text{driver}}/\mu\text{s}$	飞腾 CPU $t_{\text{driver}}/\mu\text{s}$	服务器 CPU $t_{\text{driver}}/\mu\text{s}$
1	708.61	577.02	111.43
2	634.63	610.88	111.89
3	560.3	582.04	115.67
4	697.34	593.23	111.08
5	547.6	564.74	108.56
6	694.74	579.51	111
7	709.18	658.15	111.87
8	549.22	574.78	114.34
9	692.23	672.24	109.74
10	585.31	565.96	107.79
平均值	637.91	597.86	111.34



图 14 实时采集图像

Fig. 14 Real-time image

参考文献:

- [1] 姜淳. 地基大视场望远镜空间目标探测技术研究[D]. 长春: 中国科学院长春光学精密机械与物理研究所, 2023.
JIANG CH. *Research on Space Target Detection Technology for Ground-based Large-field-of-view Telescopes*[D]. Changchun: Changchun Institute of Optics, Fine Mechanics and Physics, Chinese Academy of Sciences, 2023. (in Chinese)
- [2] 卢昌正. 地基光电探测望远镜高灵敏度成像及处理关键技术研究[D]. 长春: 中国科学院长春光学精密机械与物理研究所, 2024.
LU CH ZH. *Research on Key Technologies for Highly Sensitive Imaging and Processing of Ground-based Photoelectric Detection Telescopes* [D]. Changchun: Changchun Institute of Optics, Fine Mechanics and Physics, Chinese Academy of Sciences, 2024. (in Chinese)
- [3] 张晨. 高轨道空间目标大视场光学巡天关键技术研究[D]. 合肥: 中国科学技术大学, 2024.
ZHANG CH. *Research for Wide Field Optical Surveys of High Orbit Space Objects*[D]. Hefei: University of Science and Technology of China, 2024. (in Chinese)
- [4] 闫继伟, 袁羽辉, 王冠. 拼接红外探测器技术研究[J]. 激光与红外, 2024, 54(4): 569-573.
YAN J W, YUAN Y H, WANG G. Research on

6 结 论

本文根据大靶面拼接探测器的发展,提出了高速终端数据接收系统,并介绍了硬件结构、FPGA程序架构及设备驱动程序的设计思路。针对设备的串口通信功能与图像采集功能进行了实验分析。实验结果表明,串口通信功能丰富且稳定,设备的数据接收速度最大为 2.26 GB/s,在长时间运行过程中未发生任何错误,且传输时延保持在较低水平。

作者贡献声明:

于勇:测量方法的提出,论文构思和撰写;
贾建禄:指导与提供资源;
刘塔拉:硬件设计,论文审核与编辑写作;
任同阳:项目管理;
马爽、李学良和霍力:论文审核与编辑写作。

- splicing infrared detector [J]. *Laser & Infrared*, 2024, 54(4): 569-573. (in Chinese)
- [5] ZHANG Y H, ZHANG H F, ZHANG J, *et al.* High-precision flatness measurement for cryogenic mosaic focal plane arrays[J]. *IEEE Transactions on Instrumentation and Measurement*, 2023, 72: 5021512.
- [6] 曾瀚, 周国忠. 多路高速光纤图像传输系统设计与实现[J]. 半导体光电, 2013, 34(2): 326-329, 333.
ZENG H, ZHOU G ZH. Design and implementation of high speed multi-channel optical fiber image transmission system [J]. *Semiconductor Optoelectronics*, 2013, 34(2): 326-329, 333. (in Chinese)
- [7] LIU B Y. Research and implementation of XDMA high speed data transmission IP core based on PCI express and FPGA[C]. 2019 *IEEE 1st International Conference on Civil Aviation Safety and Information Technology (ICCASIT)*. October 17-19, 2019, Kunming, China. IEEE, 2019: 408-411.
- [8] CHEN X Q, ZHANG L Y, LI C X. FPGA-based train onboard PCIe board design and implementation [C]. 2023 *3rd International Conference on Electrical Engineering and Mechatronics Technology (ICEEMT)*. July 21-23, 2023, Nanjing, China. IEEE, 2023: 202-206.
- [9] DUDLEY T, PLUSQUELLIC J, TSIROPOULOU E E, *et al.* Scatter-gather DMA performance analysis within an SoC-based control system for

- trapped-ion quantum computing[J]. *IEEE Transactions on Emerging Topics in Computing*, 2025, 13(3): 841-852.
- [10] GUO X N, ZHANG X D, HU J M, *et al.* A multi-channel millimeter-wave imaging high-speed data acquisition and transmission system based on optical fiber and PCIe interface[C]. *2024 3rd International Conference on Artificial Intelligence and Computer Information Technology (AICIT)*. September 20-22, 2024, Yichang, China. IEEE, 2024: 1-5.
- [11] 雷雨, 任国强, 孙健, 等. 基于PCIE的高速光纤图像实时采集系统设计[J]. *电子技术应用*, 2013, 39(10): 136-138, 142.
- LEI Y, REN G Q, SUN J, *et al.* Design of high-speed real-time fiber image acquisition system based on PCIE bus [J]. *Application of Electronic Technique*, 2013, 39(10): 136-138, 142. (in Chinese)
- [12] 孙科林, 周维超, 吴钦章. 高速实时光纤图像传输系统的实现[J]. *光学精密工程*, 2011, 19(9): 2228-2235.
- SUN K L, ZHOU W CH, WU Q ZH. Realization of high-speed real-time optical fiber image transmission system [J]. *Opt. Precision Eng.*, 2011, 19(9): 2228-2235. (in Chinese)
- [13] 高晓青, 杨瑞峰. 基于FPGA的PCI总线串口卡设计[J]. *电子技术应用*, 2010, 36(8): 134-137.
- GAO X Q, YANG R F. Design of PCI bus serial port card based on FPGA [J]. *Application of Electronic Technique*, 2010, 36(8): 134-137. (in Chinese)

作者简介:



于 勇(1994—),男,吉林白山人,硕士,助理研究员,2021年于吉林大学获得硕士学位,主要从事FPGA硬件电路设计与设备驱动程序开发方面的研究。E-mail: yuyong1@ciomp.ac.cn

通讯作者:



贾建禄(1982—),男,内蒙古赤峰人,博士,研究员,2008年于天津大学获得硕士学位,2012年于中国科学院长春光学精密机械与物理研究所获得博士学位,主要从事自适应光学系统波前处理研究与大口径地基望远镜总体技术的研究。E-mail: jiajianlu@ciomp.ac.cn