

文章编号 1004-924X(2026)15-2378-11

单模硅波导与光栅耦合器在干法刻蚀中的系统性 工艺偏差分析

刘永康^{1,2,3}, 张怡梦^{2,3}, 包晓清^{2,3*}, 戴代强³, 王淑明^{3,4}

(1. 安徽建筑大学 电子与信息工程学院, 安徽 合肥 230000;

2. 南京信息工程大学 环境气象集成芯片与系统江苏省产业技术工程化中心,
江苏 南京 210044;

3. 南京南智先进光电集成技术研究院, 江苏 南京 211800;

4. 南京大学 固体微结构物理国家重点实验室, 江苏 南京 211800)

摘要:本研究系统评估了8英寸绝缘层上硅平台光刻与干法刻蚀工艺的晶圆级均匀性对硅光无源器件物理形貌及光学性能的映射关系。基于220 nm顶层硅平台,采用深紫外光刻与电感耦合等离子体反应离子刻蚀工艺,完成了光栅耦合器(70 nm浅刻蚀)与单模直波导(220 nm全刻蚀)的两步全流程流片加工。利用原子力显微镜、关键尺寸扫描电子显微镜及全自动光学探针台对5片8寸晶圆的物理尺寸与传输损耗进行了全片表征。结果表明,不同晶圆间的平均刻蚀深度和平均线宽保持在相对稳定范围内;然而,在单片晶圆内部观察到一定的径向工艺偏差,这种边缘区域的微观尺寸缩减及侧壁形貌退化可能会影响光模场分布,并增加侧壁散射损耗,最终使得单模波导的传输损耗呈现出从中心区域向边缘区域升高的趋势。综上所述,大尺寸晶圆干法刻蚀过程中可能存在的宏观负载效应与侧向刻蚀行为是影响硅光芯片片内性能一致性的重要因素之一,该发现为未来在8英寸SOI平台上进行光学邻近效应补偿、刻蚀配方优化及晶圆级良率提升提供了实验参考和工艺优化依据。

关键词:硅光子学;单模硅波导;光栅耦合器;8英寸SOI;ICP-RIE干法刻蚀;晶圆级均匀性;传输损耗;边缘效应

中图分类号: TN305.7; TH162+.1 **文献标识码:** A

doi: 10.37188/OPE.20263415.2378 **CSTR:** 32169.14.OPE.20263415.2378

Systematic process variation analysis of single-mode silicon waveguides and grating couplers during dry etching

LIU Yongkang^{1,2,3}, ZHANG Yimeng^{2,3}, BAO Xiaoqing^{2,3*}, DAI Daiqiang³, WANG Shuming^{3,4}

(1. School of Electronic and Information Engineering, Anhui Jianzhu University,
Hefei 230000, China;

2. Jiangsu Industrial Technology Research Center for Environmental Meteorology Integrated Chip and
Systems, Nanjing University of Information Science and Technology, Nanjing 210044, China;

3. Nanzhi Institute of Advanced Optoelectronic Integration Technology, Nanjing 211800, China;

4. National Laboratory of Solid State Microstructures, Nanjing University, Nanjing 210093, China)

* Corresponding author, E-mail: 003623@nuist.edu.cn

收稿日期: 2026-06-05; 修订日期: 2026-06-26.

基金项目: 国家重点研发计划资助项目(No. 2023YFF0713303); 江苏省前沿技术研发计划资助项目(No. BF2024030)

Abstract: This study aims to systematically investigate the mapping relationship between wafer-level uniformity in lithography and dry etching processes, and the physical morphology and optical performance of silicon photonic passive devices on an 8-inch silicon-on-insulator (SOI) platform. The experiments were conducted on a 220 nm top-silicon SOI platform. A two-step full-process fabrication flow was implemented using deep ultraviolet (DUV) lithography and inductively coupled plasma reactive ion etching (ICP-RIE). The process included the fabrication of grating couplers with a 70 nm shallow etch and single-mode straight waveguides with a 220 nm full etch. The physical dimensions and optical propagation loss were systematically characterized across five 8-inch wafers using atomic force microscopy (AFM), critical-dimension scanning electron microscopy (CD-SEM), and an automated optical probe station. A certain degree of wafer-to-wafer stability was observed among the five wafers. Statistical analysis based on standard deviation, semi-range, and their relative variations indicated that the average etch depth and average line-width remained within relatively stable ranges across different wafers. However, within-wafer (WIW) radial process variations were observed. The reduction in microscopic dimensions in the edge region, together with possible sidewall morphology degradation, may alter the optical mode distribution and increase sidewall scattering loss. As a result, the propagation loss of the single-mode waveguides exhibited an increasing trend from the wafer center toward the edge. These results suggest that macro-loading effects and lateral etching behavior during dry etching of large-diameter wafers are important factors influencing within-wafer performance consistency in silicon photonic chips. The findings provide experimental evidence and process optimization guidance for future optical proximity correction (OPC), etching recipe optimization, and wafer-level yield improvement on 8-inch SOI platforms.

Key words: silicon photonics; single-mode silicon waveguide; grating coupler; 8-inch silicon-on-insulator; ICP-RIE dry etching; wafer-level uniformity; propagation loss; edge effect

1 引 言

硅光技术凭借其互补金属氧化物半导体 (Complementary Metal-Oxide-Semiconductor, CMOS) 制造工艺兼容的优势,已成为实现低成本、高密度光子集成电路 (Photonic Integrated Circuit, PIC) 的核心平台^[1-2]。随着数据中心、高性能计算与光互连领域对带宽密度和能效需求的持续攀升,硅光芯片正快速从分立器件演示向大规模、多功能单片集成方向发展^[3-4]。近年来,国际上多家主流研发联盟与代工厂已成功建立开放式的硅光流片平台,推动了包括调制器、探测器、波导及光栅耦合器在内的核心无源/有源器件的标准化制造^[5-6]。然而,在从实验室级小尺寸工艺向 8 英寸乃至 12 英寸工业级晶圆量产转移的过程中,如何确保整片晶圆上器件性能的高度均一性,始终是硅光芯片良率提升的关键瓶颈^[7-9]。

研究表明,当硅波导的横向特征尺寸缩小至数百纳米量级时,其光学传输特性(如有效折射

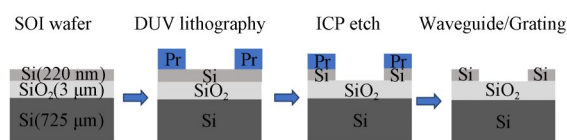
率、群折射率及传输损耗)对微观几何形貌的波动极为敏感^[9-10]。标准的绝缘层上硅 (Silicon-on-Insulator, SOI) 晶圆通常包含顶层硅薄膜、埋氧层 (Buried Oxide, BOX) 及硅衬底^[11-12]。在光栅耦合器与单模波导的制备过程中,深紫外 (Deep Ultraviolet, DUV) 光刻与电感耦合等离子体反应离子刻蚀 (Inductively Coupled Plasma Reactive Ion Etching, ICP-RIE) 的均匀性直接决定了最终图形的线宽一致性与侧壁粗糙度^[13-15]。然而,在大尺寸晶圆加工过程中,旋涂光刻胶厚度分布、曝光焦深窗口、ICP-RIE 腔体内的宏观负载效应以及边缘等离子体非均匀性等因素,均可能影响晶圆不同区域的线宽转移和刻蚀速率分布。这些工艺因素可能在浅刻蚀和深刻蚀过程中引入不同程度的尺寸波动,并进一步影响器件的光学性能^[16-17]。这种系统性的工艺偏差会在浅刻蚀(如光栅耦合器部分刻蚀)和深刻蚀(如波导全刻蚀)过程中引入不同程度的尺寸畸变,进而损害器件的光学性能。

现有关于硅光制造工艺均匀性的研究多集中于单一器件层或特定刻蚀深度的优化,而针对同一平台上“两步流片”方案中不同刻蚀深度图形的晶圆级偏差传递规律,以及微观形貌畸变向宏观传输损耗映射的完整闭环研究仍相对匮乏。为此,本文基于标准 8 英寸绝缘体上硅 (Silicon-on-Insulator, SOI) 晶圆制造平台,围绕光栅耦合器浅刻蚀和单模硅波导全刻蚀两步工艺,开展光刻与电感耦合等离子体反应离子刻蚀 (Inductively Coupled Plasma Reactive Ion Etching, ICP-RIE) 工艺过程的晶圆级均匀性研究。通过关键尺寸扫描电子显微镜 (Critical Dimension Scanning Electron Microscopy, CD-SEM) 和原子力显微镜 (Atomic Force Microscopy, AFM) 对晶圆不同位置处的线宽和刻蚀深度进行表征,并结合全自动光学探针台获取的传输损耗数据,分析光刻与刻蚀工艺偏差、器件微观形貌变化与单模波导光学性能之间的关联关系。本文旨在为 8 英寸 SOI 硅光平台的工艺一致性评估、刻蚀条件优化和晶圆级良率提升提供实验参考。

2 实验制备与表征方法

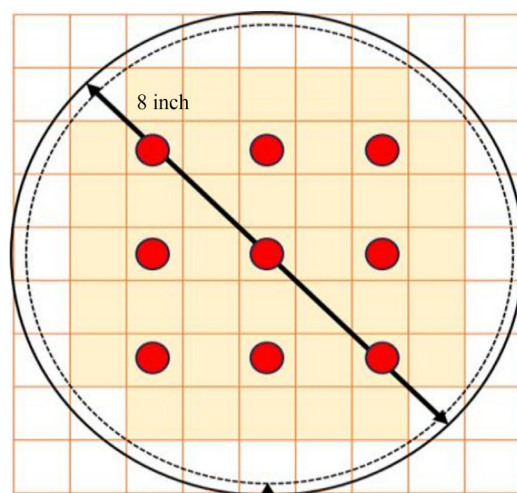
实验采用标准的 8 英寸 SOI 晶圆作为起始材料,其结构包含 220 nm 厚的顶层单晶硅、3 μm 厚的埋氧层以及 725 μm 厚的硅衬底,如图 1(a) 所示^[11-12,18]。为实现核心无源器件的单片集成并严格剥离不同深度的工艺偏差,本研究设计了标准的“两步流片”工艺 (Two-step Integration Scheme): 第一层工艺 (Layer 1) 用于定义光栅耦合器,需进行目标深度约为 70 nm 的浅刻蚀;第二层工艺 (Layer 2) 用于定义单模直波导,需进行深度为 220 nm 的全刻蚀以完全暴露出底层的二氧化硅包层。两层图形化过程采用了完全一致的光刻操作规范:均采用深紫外光刻技术,选用 DUV 6313 正性光刻胶^[13],光刻胶的前烘条件严格控制为 90 $^{\circ}\text{C}$ 维持 60 s,后烘条件为 140 $^{\circ}\text{C}$ 维持 60 s。通过对整面晶圆进行剂量梯度曝光测试,两层工艺的最佳曝光剂量均被精确锚定在 23.5 mJ/cm^2 。

刻蚀工艺紧随光刻之后,第一层的光栅浅刻蚀与第二层的波导全刻蚀均采用江苏鲁汶干法刻蚀设备 (ICP-RIE) 完成^[16]。为了进行控制变量



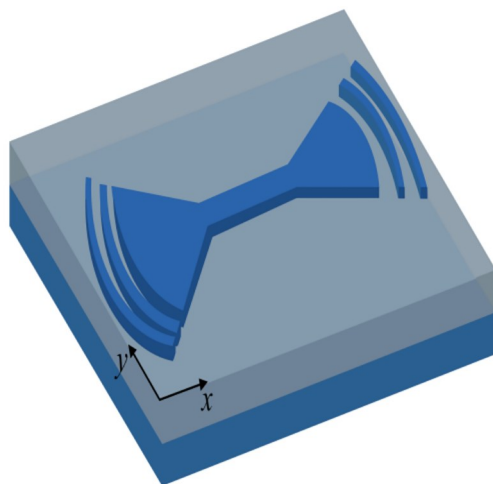
(a) 晶圆级光栅耦合器和波导的加工工艺流程

(a) Process flow of wafer-level grating couplers and waveguides



(b) 9点测量法测试均匀性

(b) 9-point measurement method for uniformity testing



(c) 单模硅波导与光栅耦合器整体3D示意图

(c) Overall 3D schematic of single-mode silicon waveguide integrated with grating coupler

图 1 晶圆级光栅耦合器与波导的加工工艺流程及均匀性测试示意图和整体结构 3D 示意图

Fig. 1 Schematic of wafer-level fabrication process flow and uniformity characterization for grating couplers and waveguides, together with a 3D schematic of overall structure

的横向对比,两层刻蚀的物理配方保持高度一致:腔体压力设定为 0.8 Pa,上电极功率(Source Power)为 325 W,下电极功率(Bias Power)为 50 W,底座温度恒定在 0℃,反应气体流量为 60 cm³/min CF₄,5 cm³/min SF₆与 6 cm³/min Ar^[17],在每一阶干法刻蚀完成后,均执行极其严格的一致性去胶工艺以彻底清除侧壁聚合物:首先将晶圆置于 120℃的 N-甲基吡咯烷酮(NMP)溶液中浸泡 1.5 h 进行初步剥离,随后辅助以 60 W 功率下的 5 min 超声处理;最后使用等离子体清洗机(300 W)通入各 200 cm³/min 的 O₂与 Ar 进行 10 min 的深度灰化净化。在工艺形貌评估方面,两层工艺均采用标准的晶圆级九点测量法,如图(b)所示。在光刻显影后(After Development Inspection, ADI)与去胶后(After Etch Inspection, AEI)阶段,分别利用关键尺寸扫描电子显微镜(CD-SEM)对图形线宽进行双重追踪:一方面确保第一层光栅的线宽与周期处于 310 nm 与 620 nm 的设计指标附近;另一方面确保第二层单模波导的线宽契合 500 nm 的设计目标。随后,利用 AFM 对全片 9 个位点的纵向刻蚀深度进行精确测定。最终,依托全自动探针台获取的光学测试数据,以构建由“微观工艺尺寸偏差”向“宏观单模波导传输损耗”映射的全片物理评估模型。图 1(c)展示了输入/输出端的光栅耦合器结构与中间的直波导的集成形态。左右两端的光栅耦合器通过绝热锥形波导与主波导连接,用于实现光纤模场与波导基模的高效耦合。

3 结果与讨论

3.1 光栅耦合器浅刻蚀层的形貌保真度与边缘极端尺寸失真分析

表 1 汇总了不同刻蚀时间设定下 5 片连续加工晶圆的刻蚀深度统计数据。实验分为两个阶段进行:第一阶段(Wafer 1~3)设定刻蚀时间为 12.5 s,得到的平均刻蚀深度稳定在 72.28 nm 至 75.81 nm 之间;第二阶段(Wafer 4~5)为了进一步优化工艺分布,将时间微调缩减至 12.0 s。结果显示,尽管 Wafer 4 与 Wafer 5 的刻蚀时间缩短了 0.5 s,其平均深度反而略有提升,分别达到 78.48 nm 和 78.93 nm。这一现象反映了干法刻蚀过程中典型的“腔体预热效应(Chamber Seasoning Effect)”^[19],即随着批次连续加工,腔体内部达到热平衡状态,使得等离子体活性增强,从而提升了瞬时刻蚀速率。值得注意的是,在第二阶段中,Wafer 4 与 Wafer 5 的平均刻蚀深度较为接近,分别为 78.48 nm 和 78.93 nm,说明在相同刻蚀时间条件下两片晶圆之间具有一定的工艺重复性。这种在极短刻蚀时间波动下依然表现出的高度一致性,说明该 ICP-RIE 刻蚀设备在短时间刻蚀条件下具有较好的时间控制能力和工艺重复性。此外,为避免不同统计口径造成理解偏差,本文统一采用标准差、半极差及其相对变化率对工艺均匀性进行评价。其中,相对标准差定义为标准差与平均值之比,相对半极差定义为半极差与平均值之比。由表 1 可知,5 片晶圆的平均刻蚀深

表 1 不同晶圆间光栅的刻蚀深度
Tab. 1 Grating etch depths across different wafers

Wafer ID	Etching Time/s	Average etch depth/nm	Absolute variation/nm		Relative variation/%	
			Standard deviation	Semi-range	Standard deviation	Semi-range
W1	12.5	75.81	1.82	6.00	2.40	7.91
W2	12.5	75.33	2.11	6.33	2.80	8.40
W3	12.5	72.28	1.05	3.33	1.44	4.58
W4	12.0	78.48	1.78	5.67	2.27	7.22
W5	12.0	78.93	2.05	6.34	2.60	8.03

Note: Relative variation in standard deviation=Standard deviation/Average value×100%; Relative variation in semi-range=Semi-range/Average value×100%. The Semi-range is defined as (Maximum-Minimum)/2.

度分布在 72.28~78.93 nm 之间;各晶圆九点测量结果的相对标准差为 1.44%~2.80%,相对半极差为 4.58%~8.40%。该结果表明,在当前工艺条件下,光栅浅刻蚀深度在单片晶圆内存在一定波动。

除了纵向刻蚀深度的精确控制,光栅耦合器平面内关键尺寸(Critical Dimension, CD)的均匀性同样是决定器件最终衍射效率与光学性能的核心要素。表 2 汇总了 5 片晶圆在 DUV 光刻显影后的初始线宽量测统计结果,旨在评估光刻工艺建立的横向图形基础。实验数据显示,从整体批次来看,光刻工艺展现了良好的尺寸稳定性。各片晶圆的平均线宽分布在 310.22 nm 至 321.11 nm 之间;其中, Wafer 2, Wafer 3 和 Wafer 4 的均值高度集中在 310 nm 至 311 nm 附近,与 310 nm 的设计目标较为接近,而 Wafer 1 和 Wafer 5 则表现出轻微的正向尺寸偏差。然而,在深

入评估单片晶圆内部的尺寸波动时,数据揭示了明显的片内非均匀性。通过引入绝对标准差与半极差(Semi-range)进行定量分析可知, Wafer 5 在 5 片晶圆中表现出相对较小的片内波动,其绝对半极差控制在 12.00 nm,相对波动仅为 3.76%;相比之下, Wafer 3 的片内尺寸波动最为剧烈,其标准差高达 9.25 nm,绝对半极差更是达到了 27.00 nm,相对半极差高达 8.69%。这种在光刻显影阶段已经出现的片内尺寸波动,可能与大尺寸晶圆旋涂光刻胶厚度分布、曝光剂量均匀性、焦深窗口以及边缘区域工艺条件变化有关。由于本文未直接测量光刻胶膜厚分布和曝光焦深变化,因此上述因素仅作为可能原因进行讨论。这一初始的光刻形貌波动,为后续干法刻蚀工艺中的尺寸传递与保真度控制带来了前置的工艺挑战。

表 2 光刻后不同晶圆间光栅的线宽

Tab. 2 Post-lithography grating linewidths across different wafers

Wafer ID	Average critical dimension/nm	Absolute variation/nm		Relative variation/%	
		Standard Deviation	Semi-range	Standard deviation	Semi-range
W1	321.11	5.82	17.50	1.81	5.45
W2	310.22	8.14	26.00	2.62	8.38
W3	310.61	9.25	27.00	2.98	8.69
W4	311.17	5.33	16.00	1.71	5.14
W5	319.06	4.12	12.00	1.29	3.76

进一步地,为了评估图形由光刻胶掩膜向底层硅波导转移的保真度,表 3 详细汇总了 5 片晶圆在 ICP-RIE 干法刻蚀与去胶后的关键尺寸统计数据。实验结果表明,相较于光刻显影后的初始图形,干法刻蚀过程不仅引入了尺寸偏差,更显著加剧了片内形貌的退化。由表 3 可知,各晶圆的最终平均线宽分布在 310.50 nm 至 320.39 nm 之间。其中, Wafer 2, Wafer 3 和 Wafer 4 的均值高度稳定在 310.50 nm 至 311 nm 之间,展现了良好的批次中心值控制能力。然而,在单片晶圆内部的尺寸均匀性上,刻蚀工艺暴露出了更为严峻的径向退化。为了更客观地评估图形传递过程中的工艺稳定性,排除各晶圆

初始线宽绝对值差异的干扰,本研究引入了相对标准差与相对半极差作为归一化的评价指标。通过数据对比发现, Wafer 5 依然保持了相对较好的片内均匀性,其绝对半极差为 8.50 nm,相对波动控制在 2.67%;相反, Wafer 3 的片内线宽波动最为剧烈,其标准差达到 7.69 nm,绝对半极差激增至 17.00 nm,相对半极差高达 5.48%。上述结果表明,刻蚀后不同晶圆及单片晶圆内部仍存在一定程度的线宽波动。结合 ICP-RIE 工艺特点,该现象可能与边缘等离子体非均匀性、宏观负载效应以及侧向刻蚀行为有关。由于本文未直接测量等离子体密度分布、刻蚀反应物浓度分布或局部刻蚀速率场,因此

相关机理解释主要基于现有关键尺寸统计结果、CD-SEM 形貌对比和晶圆级光学损耗分布进行合理讨论。这种归一化波动率的倍数级差异(2.67% 对比 5.48%)剔除了光刻打底尺寸的基数影响,该结果表明,刻蚀后部分晶圆存在明显的片内线宽波动。结合 ICP-RIE 工艺中常见的边缘等离子体非均匀性和侧向刻蚀行为,可以推测上述因素可能与边缘区域的尺寸偏移有

关^[16, 20]。考虑到光栅耦合器的衍射效率对光栅占空比的极度敏感性^[21-23],边缘区域逾十纳米的线宽收缩可能会改变局部有效折射率,并影响光栅耦合器的相位匹配条件。这种由刻蚀工艺引入的微观几何形变,可能引起布拉格相位匹配条件偏移,从而为后续光学性能表征中晶圆边缘区域耦合损耗急剧恶化的现象提供一种可能的物理解释。

表 3 刻蚀后不同晶圆间光栅的线宽
Tab. 3 Grating linewidths across different wafers after etching

Wafer ID	Average critical dimension/nm	Absolute variation/nm		Relative variation/%	
		Standard deviation	Semi-range	Standard deviation	Semi-range
W1	320.39	6.70	10.00	2.09	3.12
W2	310.72	8.37	15.50	2.69	4.99
W3	310.50	7.69	17.00	2.48	5.48
W4	310.89	8.03	15.50	2.58	4.99
W5	318.50	4.54	8.50	1.43	2.67

3.2 工艺偏差的层次映射:波导全刻蚀层的尺寸畸变与结构微扰

通过光栅耦合器(Layer 1)这一对尺寸变化较为敏感的结构所观察到的边缘区域线宽偏移现象,本节将深入剖析这种设备级的系统性刻蚀偏差如何层次映射至单模波导深刻蚀层(Layer 2),进而通过宏观尺寸畸变影响其最终的光学传输性能。在完成 70 nm 浅刻蚀工艺后,对 220 nm 硅全刻蚀单模波导层(目标线宽 500 nm)的尺寸保真度进行了大样本量的晶圆级追踪。表 4 详细汇总了 5 片晶圆在经过 220 nm ICP-RIE 深刻蚀后的关键尺寸统计。与光栅浅刻蚀阶段呈现出的剧烈尺寸收缩(负向刻蚀偏差)截然不同,单模波导的刻蚀后平均线宽分布在 496.80 nm 至 499.10 nm 之间,相较于光刻打底尺寸呈现出微弱的正向刻蚀偏差(Positive Etch Bias)。这种工艺特征主要归因于 220 nm 深刻蚀配方中钝化气体(如氟碳基聚合物)在波导侧壁的沉积保护效应。

此外,通过 AFM 对波导层全片采样的台阶高度进行抽测,结果表明纵向深刻蚀深度均稳定在(220±3)nm 内,成功且均匀地停止在埋氧

层表面。这排除了纵向刻蚀不完全对波导模式泄漏的干扰,进一步将传输损耗的退化机制严格锁定在横向尺寸的极端畸变上。尽管深刻蚀工艺中的聚合物钝化机制在一定程度上平滑了整体的线宽均值,但在单片晶圆内部,边缘区域仍观察到较明显的局部尺寸波动,该现象可能与等离子体分布不均和宏观负载效应有关^[24-26]。

由表 4 可知,以波动最为剧烈的 Wafer 3 为例,其绝对半极差高达 17.50 nm(即片内极值波动跨度达 35 nm)。必须强调的是,对于 220 nm 厚的单模直波导而言,这种沿光传输方向上高达数十纳米的极端线宽畸变(CD Fluctuation),可能对光传输过程形成一定的结构扰动(Structural perturbation)^[27]。当 1 550 nm 处的光模式在该波导中传输时,横向尺寸的剧烈波动不仅会导致光场有效限制因子的不断突变,而且在微观物理层面上,这种由非均匀刻蚀引入的宏观线宽失真,可能伴随低频侧壁形貌畸变的增加。这种由沿程结构微扰与侧壁非连续性共同驱动的强瑞利散射(Rayleigh Scattering),可能导致额外的散射损耗,从而使光传输损耗升高^[27-28],从而为后续晶

圆级测试中边缘区域单模波导传输损耗升高提 供了可能的物理机制解释。

表 4 刻蚀后不同晶圆间波导的线宽

Tab. 4 Waveguide linewidths across different wafers after etching

Wafer ID	Average critical dimension/nm	Absolute variation/nm		Relative variation/%	
		Standard deviation	Semi-range	Standard deviation	Semi-range
W1	497.50	6.80	15.00	1.37	3.02
W2	498.20	7.50	16.50	1.51	3.31
W3	496.80	8.10	17.50	1.63	3.52
W4	499.10	6.50	14.50	1.30	2.91
W5	498.50	5.90	13.00	1.18	2.61

3.3 核心器件的微观形貌对比

图 2(a)、图 2(c)分别为单模直波导层的中心点(AEI 499.34 nm)与边缘畸变点(AEI 483.18 nm);图 2(b)、图 2(d)分别为光栅耦合器浅刻蚀层的中心点(AEI 310.22 nm)与边缘线宽坍塌点(AEI 288.45 nm)。俯视图像直观地展示了由宏观负载效应引发的边缘剧烈侧向钻刻(GC 坍塌)与深刻蚀侧壁不均匀钝化(Waveguide 尺寸失真)。为了对上述基于统计数据的尺寸变化进行直观验证,本研究利用 CD-SEM 获取了器件层刻蚀后检测(AEI)阶段的俯视微观形貌。需要说明的是,图 2 中标注的关键尺寸数值均来自 CD-SEM 量测软件的线宽提取结果,而非依据图中

比例尺进行人工估读;图中比例尺仅用于反映图像的放大比例和空间尺度。如图 2 所示,图像清晰地展示了晶圆中心区域与边缘区域在不同刻蚀深度图形下的较明显的形貌保真度差异。在图 2 的光栅耦合器层,晶圆中心区域的光栅线条笔直、清晰,呈现出良好的各向异性刻蚀形貌,AEI 量测值达到 310.22 nm(图 2(b))。然而,在同一片晶圆的边缘区域,受剧烈侧向钻刻效应的影响,光栅线条出现明显线宽收缩,AEI 量测值急剧掉至 288.45 nm(图 2(d))。这一直观的电镜形貌对比,与前文 3.1 节中完关于边缘尺度偏移的分析结果相一致。在深刻蚀单模直波导层(如图 2(a)、图 2(c)所示),这种系统性的刻蚀偏

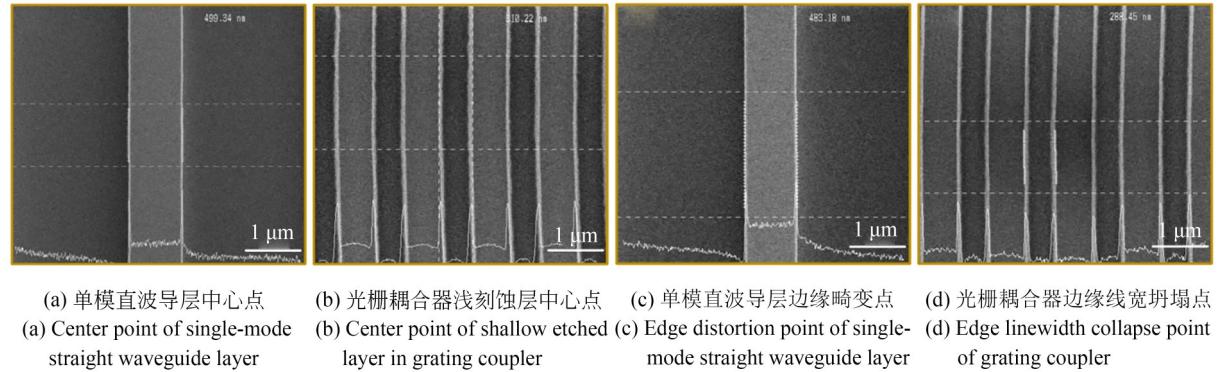


图 2 晶圆中心与边缘区域核心无源器件 CD-SEM 微观形貌对比(图中标注的关键尺寸为 CD-SEM 量测软件提取的 AEI 阶段线宽结果,比例尺仅用于显示图像放大比例)

Fig. 2 Comparison of CD-SEM images of key passive devices between the wafer center and edge regions. (The labeled critical dimensions were extracted from the CD-SEM measurement software at the after-etch inspection (AEI) stage, and the scale bars are provided only as references for image magnification)

差表现出截然不同的形貌特征。尽管在晶圆中心区域(图 2(a)),波导侧壁在钝化气体的保护下保持了理想的单模状态(AEI 499.34 nm),但在边缘畸变点(图 2(c)),可以观察到波导线宽发生较明显的局部收缩。受不均匀等离子体轰击与侧壁钝化机制失衡的共同影响,波导线条 AEI 尺寸坍塌至 483.18 nm,出现了严重的沿程线宽畸变(CD Fluctuation)。

正如前文 3.2 节所述,这种俯视图像中真切量出的数十纳米级极端尺寸偏差,在光传输方向上构成了显著的结构微扰(Structural Perturbation)。宏观尺寸忽粗忽细导致光场在传输过程中不断突变,引发剧烈的瑞利散射与模式泄漏,是导致单模传输损耗沿径向恶化的最直接物理诱因。需要说明的是,本文目前的主要统计结果基于九点测量得到的平均值、标准差和半极差,能够反映不同晶圆及单片晶圆内的整体波动情况,但尚未在正文中逐一列出所有测量点的原始位置数据。因此,本文不再将边缘区域尺寸偏移直接表述为宏观负载效应的确定性证明,而是结合中心与边缘区域的 CD-SEM 形貌对比以及晶圆级传输损耗分布结果,将其作为可能影响片内均匀性的原因进行讨论。同时,本文尚未开展截面 SEM、侧壁粗糙度定量测试以及针对线宽、侧壁粗糙度和光栅占空比变化的定量电磁仿真,因此关于形貌变化与传输损耗升高之间关系的讨论主要属于基于现有形貌表征、关键尺寸统计和损耗分布结果的关联分析。后续工作将进一步补充更完整的位置相关检测数据,并结合模式求解和光栅耦合仿真,以建立工艺参数、微观形貌和器件性能之间更加量化的对应关系。

3.4 晶圆级损耗分布及其与形貌变化的关联

为从宏观器件层面分析微观工艺偏差与光学传输性能之间的关系,本研究利用全自动探针台对 8 英寸晶圆开展了晶圆级单模传输损耗映射(Wafer-level Optical Loss Mapping)。图 3 呈现了基于九点测量法(Nine-point Measurement)提取的单模传输损耗热力图。

如图 3 所示,单模传输损耗在整片 8 英寸晶圆上呈现出极具规律的径向分布特征。在晶圆中心区域,得益于刻蚀等离子体的均匀分布与良好的侧壁钝化保护(如前文图 2(a))所示的理

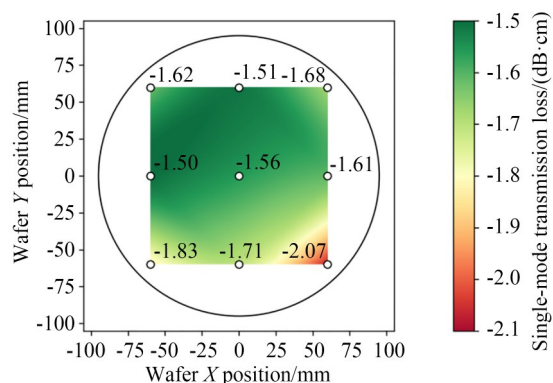


图 3 基于九点测量法提取的单模波导传输损耗热力图(图中传输损耗以负值形式表示,数值越接近 0 表示损耗越低、器件性能越好,绿色区域表示传输损耗较低,红色区域表示传输损耗较高)

Fig. 3 Heat map of single-mode transmission loss extracted from nine-point measurements (The transmission loss is expressed as negative values; values closer to zero indicate lower loss and better device performance. Green regions indicate lower transmission loss, whereas red regions indicate higher transmission loss)

想微观形貌),波导传输损耗约为 -1.50 dB/cm,表现出相对较低的损耗水平。然而,随着空间位置向晶圆边缘推移,传输损耗呈现出显著的退化趋势,右下角边缘区域的传输损耗升高至约 -2.07 dB/cm,全片损耗极差达到了 0.57 dB/cm。这一宏观光学性能的退化趋势,与 3.1 至 3.3 节中提取的微观尺寸畸变数据变化趋势基本一致。边缘区域高达 -2.07 dB/cm 的高损耗,可能与该区域在深干法刻蚀过程中受到的非均匀等离子体作用和宏观负载效应有关。这种效应不仅在浅刻蚀层引发了剧烈的侧向钻刻,更在深刻蚀波导层引入了高达 35 nm 的极端尺寸畸变(CD Fluctuation)。这种沿光传输方向上剧烈的结构微扰与侧壁非连续性,破坏了光模式的有效限制因子并可能增加侧壁散射损耗,最终在宏观测试中表现为传输损耗升高。热力图的结果表明:由大尺寸晶圆边缘效应引发的结构微扰,是影响硅光芯片大面积性能一致性的可能因素之一。需要指出的是,本文尚未开展针对不同线宽、侧壁粗糙度和光栅占空比变化的定量电磁仿真。因此,本文关于线宽偏移、侧壁形貌变化与传输损耗升高之

间关系的讨论,主要基于CD-SEM形貌对比、关键尺寸统计结果和晶圆级传输损耗分布之间的空间对应关系。后续工作将结合模式求解和光栅耦合仿真,进一步量化线宽变化对有效折射率、模式限制因子、耦合效率及传输损耗的影响。

3.5 与已有硅光工艺水平的对比与评价

为进一步评价本文工艺结果和器件性能测试结果的相对水平,本文将本研究结果与已有硅光工艺文献中关注的典型指标进行对比^[29-30]。已有硅光工艺平台通常重点关注光刻线宽控制、刻蚀深度一致性、单模波导传输损耗以及光栅耦合器耦合效率等指标。与已有CMOS兼容硅光工艺研究相比,本文8英寸SOI平台在5片晶圆之间表现出一定的片间重复性,光栅浅刻蚀深度和波导关键尺寸均处于可统计表征的范围内。然而,从片内均匀性来看,晶圆边缘区域仍存在一定的线宽偏移和传输损耗升高现象,说明该平台后续仍需围绕边缘区域刻蚀均匀性、光刻图形转移保真度和光栅/波导局部尺寸控制进行进一步优化。

从器件性能角度看,本文单模波导传输损耗在晶圆中心区域相对较低,而边缘区域出现升高趋势。该结果说明,本文工艺已具备开展8英寸SOI硅光无源器件加工与晶圆级表征的基础,但与高均匀性硅光工艺平台相比,片内边缘区域的一致性仍是限制晶圆级良率提升的主要问题。后续可结合光学邻近效应校正、刻蚀配方优化、边缘区域工艺补偿以及更完整的晶圆级位置相关检测,进一步提升工艺稳定性和器件性能一致性。

4 结 论

本研究基于标准的8英寸SOI制造平台,系

统评估了光刻与两步干法刻蚀全流程的晶圆级均匀性,并分析了系统性工艺偏差与核心无源光子器件物理形貌及光学性能变化之间的关联。通过将浅刻蚀光栅耦合器作为高灵敏度工艺探测组件,观察到晶圆边缘区域存在较明显的线宽收缩现象,该现象可能与宏观负载效应和侧向刻蚀行为有关(线宽急剧收缩逾20 nm)。在随后的深刻蚀阶段,单模波导层同样表现出高达32 nm的片内线宽极差与边缘侧壁形貌退化。进一步的结构表征表明,类似的尺寸波动也出现在深刻蚀单模波导层中,转化为高达35 nm的局部尺寸极差与极端的微观结构畸变。

晶圆级光学映射测试结果与上述微观形貌变化趋势具有一定一致性:由非均匀等离子体刻蚀引入的沿程结构微扰与强烈侧壁散射,单模波导传输损耗由中心区域约-1.50 dB/cm升高至边缘区域约-2.07 dB/cm,这说明边缘区域的传输性能有所下降。本研究初步建立了从刻蚀工艺偏差、微观形貌变化到传输损耗升高之间的关联分析框架,为未来在8英寸大面积硅光平台上进行光学邻近效应补偿(OPC)、刻蚀气轨配方优化以及晶圆级流片良率的整体提升,尤其是为进一步利用人工智能(AI)进行工艺优化^[30],提供了实验数据参考和工艺优化依据。

作者贡献声明:

刘永康:实验与数据分析,论文构思与撰写;
张怡梦:测量实验设计及数据整理与分析;
包晓清:项目资助与管理,论文审核与编辑;
戴代强:测量方法提出;
王淑明:实验项目与论文指导。

参考文献:

- [1] THOMSON D, ZILKIE A, BOWERS J E, *et al.* Roadmap on silicon photonics [J]. *Journal of Optics*, 2016, 18(7): 073003.
- [2] SUN C, WADE M T, LEE Y, *et al.* Single-chip microprocessor that communicates directly using light [J]. *Nature*, 2015, 528(7583): 534-538.
- [3] SOREF R. The past, present, and future of silicon photonics [J]. *IEEE Journal of Selected Topics in Quantum Electronics*, 2006, 12(6): 1678-1687.
- [4] BOGAERTS W, BAETS R, DUMON P, *et al.* Nanophotonic waveguides in silicon-on-insulator fabricated with CMOS technology [J]. *Journal of Lightwave Technology*, 2005, 23(1): 401.
- [5] RAHIM A, GOYVAERTS J, SZELAG B, *et al.* Open-access silicon photonics platforms in Europe [J]. *IEEE Journal of Selected Topics in Quantum Electronics*, 2019, 25(5): 1-18.
- [6] LIM A E, SONG J F, FANG Q, *et al.* Review of

- silicon photonics foundry efforts[J]. *IEEE Journal of Selected Topics in Quantum Electronics*, 2014, 20(4): 405-416.
- [7] CHROSTOWSKI L, HOCHBERG M E. *Silicon Photonics Design* [M]. Cambridge, U. K.: Cambridge University Press, 2015.
- [8] PAVESI L, LOCKWOOD D J. *Silicon Photonics III: Systems and Applications* [M]. Berlin, Heidelberg: Springer, 2016.
- [9] ZORTMAN W A, TROTTER D C, WATTS M R. Silicon photonics manufacturing[J]. *Optics Express*, 2010, 18(23): 23598.
- [10] ROELKENS G, DAVE U, GASSENQ A, *et al.* Silicon-based photonic integration beyond the telecommunication wavelength range[J]. *IEEE Journal of Selected Topics in Quantum Electronics*, 2014, 20(4): 394-404.
- [11] SELVARAJA S K, JAENEN P, BOGAERTS W, *et al.* Fabrication of photonic wire and crystal circuits in silicon-on-insulator using 193-nm optical lithography[J]. *Journal of Lightwave Technology*, 2009, 27(18): 4076-4083.
- [12] SELVARAJA S K, BOGAERTS W, DUMON P, *et al.* Subnanometer linewidth uniformity in silicon nanophotonic waveguide devices using CMOS fabrication technology[J]. *IEEE Journal of Selected Topics in Quantum Electronics*, 2010, 16(1): 316-324.
- [13] WU B Q, KUMAR A. Extreme ultraviolet lithography and three dimensional integrated circuit: a review[J]. *Applied Physics Reviews*, 2014, 1(1): 011104.
- [14] MACK C. *Fundamental Principles of Optical Lithography: The Science of Microfabrication* [M]. 1st ed. Hoboken: Wiley, 2007.
- [15] JANSSEN H, GARDENIERS H, DE BOER M, *et al.* A survey on the reactive ion etching of silicon in microtechnology[J]. *Journal of Micromechanics and Microengineering*, 1996, 6(1): 14.
- [16] OEHRLEIN G S. Reactive-ion etching[J]. *Physics Today*, 1986, 39(10): 26-33.
- [17] D'AGOSTINO R, FLAMM D L. Plasma etching of Si and SiO₂ in SF₆-O₂ mixtures[J]. *Journal of Applied Physics*, 1981, 52(1): 162-167.
- [18] YANG M X, YAN Y J, WU Z L, *et al.* High-performance grating couplers on 220-nm thick silicon by inverse design for perfectly vertical coupling[J]. *Scientific Reports*, 2023, 13: 18112.
- [19] LIEBERMAN M A, LICHTENBERG A J. *Principles of Plasma Discharges and Materials Processing* [M]. 1st ed. Hoboken: Wiley, 2005.
- [20] GOTTSCHO R A, JURGENSEN C W, VITKAVAGE D J. Microscopic uniformity in plasma etching[J]. *Journal of Vacuum Science & Technology B: Microelectronics and Nanometer Structures Processing, Measurement, and Phenomena*, 1992, 10(5): 2133-2147.
- [21] VALDEZ C G, BONGARZ S A, KROO A R, *et al.* Three-wave interaction grating coupler with the sub-decibel insertion loss at normal incidence[J]. *Optica*, 2026, 13(2): 180.
- [22] CHENG L R, MAO S M, LI Z, *et al.* Grating couplers on silicon photonics: design principles, emerging trends and practical issues[J]. *Micromachines*, 2020, 11(7): 666.
- [23] MARCHETTI R, LACAVA C, KHOKHAR A, *et al.* High-efficiency grating-couplers: demonstration of a new design strategy[J]. *Scientific Reports*, 2017, 7: 16670.
- [24] HEDLUND C, BLOM H O, BERG S. Microloading effect in reactive ion etching[J]. *Journal of Vacuum Science & Technology A: Vacuum, Surfaces, and Films*, 1994, 12(4): 1962-1965.
- [25] KARTTUNEN J, KIIHAMAKI J, FRANSSILA S. Loading effects in deep silicon etching[J]. *Micromachining and Microfabrication Process Technology VI*, 2000, 4174: 90-97.
- [26] HUFF M. Recent advances in reactive ion etching and applications of high-aspect-ratio microfabrication[J]. *Micromachines*, 2021, 12(8): 991.
- [27] MARCUSE D. *Theory of the Directional Coupler* [M]. Theory of Dielectric Optical Waveguides. Amsterdam: Elsevier, 1991: 251-279.
- [28] PAYNE F P, LACEY J P R. A theoretical analysis of scattering loss from planar optical waveguides[J]. *Optical and Quantum Electronics*, 1994, 26(10): 977-986.
- [29] LI C, ZHANG H J, YU M B, *et al.* CMOS-compatible high efficiency double-etched apodized waveguide grating coupler[J]. *Optics Express*, 2013, 21(7): 7868.

- [30] BAO X Q, WANG H R, CHEN S L, *et al.* Op-
toChat: a large language model with retrieval aug-

mented generation for optics[J]. *Journal of Phys-
ics: Photonics*, 2026, 8(2): 026001.

作者简介:



刘永康(2002—),男,江西吉安人,硕
士研究生,2024年于南昌大学获得学
士学位,主要从事光电集成与微纳光
学方面的研究。E-mail: 1587962524
6@163.com

通讯作者:



包晓清(1973—),男,四川成都人,副
教授,1995年于哈尔滨工业大学获得
学士学位,2005年于华东师范大学获
得硕士学位,2008年于中国科学院大
学获得博士学位,主要从事光电集成、
微纳光学、微机电系统以及半导体工
艺方面的研究。Email: 00362
3@nuist.edu.cn