

# CCD 图像存贮与显示系统

黄廉卿 耿玉芝 刘荫田 于前洋

**摘要:** 本文介绍了在合成孔径雷达光学处理器上所加的一套CCD图像存贮与显示系统。该系统采用线阵CCD器件,对运动的图像采样,其输出信号经A/D变换后,在行同步逆程期间将数字信号逐行写入存贮器中去;在行同步正程期间再将数据读出,经假彩色编码及D/A变换后即可在彩色监视器上显示出滚动的假彩色图像。该系统除了能够即时观察图像之外,还为进一步数字图像处理提供了方便。

## 一、前 言

在合成孔径雷达光学处理器上,为了快速检查数据片的成像率和成像质量,研制了一套CCD-RAM-CRT图像存贮与显示系统。该系统主要由线阵CCD器件、A/D变换器、帧存贮器、时钟及读写时序、假彩色编码及D/A、彩色监视器等几部分组成。

该存贮器特点是:随着数据片在输片机上的运动,能实时地在监视器上看到由下而上滚动的假彩色图像。当选中某一画幅时,可以停止滚动。为了解决输片速率低,线阵CCD扫描慢,不能与标准电视体制同步的问题,我们采用了“慢写快读”的方法,使能最终输出标准结构的视频信号。

## 二、主要技术指标

1. 写入速率:  
CCD行同步: 20ms  
CCD采样时钟: 8 $\mu$ s  
CCD图像输出幅度:  $\geq 1V_{p-p}$
2. 帧存贮器容量: 512 $\times$ 512 $\times$ 4bit
3. 读出速率: 按625/50标准电视制式
4. 灰度等级: 16级
5. 写入读出方式: 在64 $\mu$ s行同步逆程期间进行写入操作,正程期间进行读操作。

## 三、工作原理

1. 系统工作原理总框图如图1所示:

将2048像元的线阵CCD器件输出的信号经隔三采样后,变成512像元的图像信号,经A/D变换器转换为数字信号,在写时序的作用下,在行同步逆程期间,将信号逐行写入到存贮器中去;在行同步正程期间,在读时序作用下,将数据信号读出。为满足CCD采样速率及存

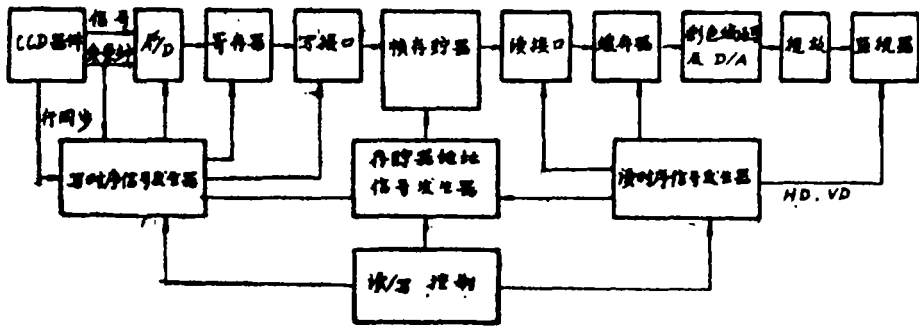


图1 图像存储器结构框图

存储器时间、显示器的时间要求，该系统采用慢写快读的方法，经各自的接口电路，完成写、读功能。读出的数据经假彩色编码后，送给  $D/A$  变换器转换为模拟量信号，再经视频放大器放大后，输送给彩色监视器进行假彩色显示。

2. 各主要部分原理

(1) 线阵CCD器件：采用美国仙童公司生产的143CCD。该片包括2048个光敏单元，光敏尺寸为 $13\mu\text{m} \times 13\mu\text{m}$ ，中心距为 $13\mu\text{m}$ 。

143CCD所需要的时序信号及偏置电平如下：

1) 转移时钟脉冲  $\phi_0$ ：作用到光敏元和移位寄存器之间的转移栅，将光敏元积累的信号电荷转移到移位寄存器，并且起到控制积分时间的作用。

2) 传输时钟脉冲  $\phi_r$ ：作用到 CCD 移位寄存器的栅电极，将已经转移到移位寄存器的信号电荷转移到输出端。时序关系如图2所示。

- 3) 光栅电极偏置电压  $V_{PG}$ ：8.5V~9.5V
- 4) 时钟驱动器漏极电压  $V_{CD}$ ：13.5V~14.5V
- 5) 直流电极偏置电压  $V_T$ ：5.5V~6.5V
- 6) 电输入偏置电压  $V_E$ ：10.5V
- 7) 输出放大器漏极电压  $V_{DD}$ ：7.0V~15.0V
- 8) 衬底电压  $V_{SS}$ ：0V

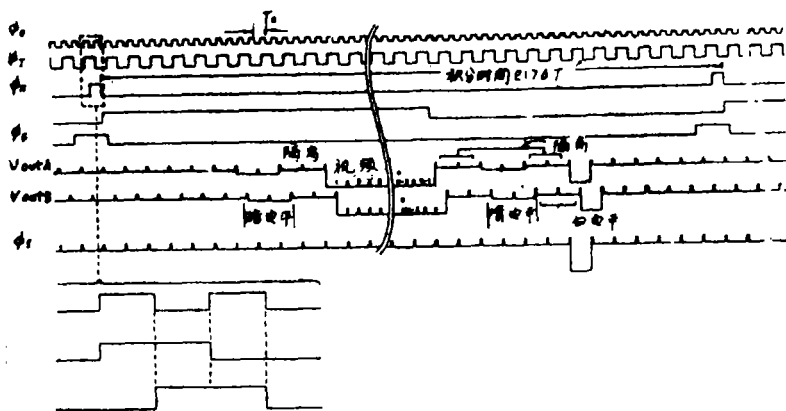


图2 CCD 时序图

在光学处理器的CCD成像系统中,将CCD放置在光学透镜后可移动的坐架上,CCD的放置方向和数据片的运动方向垂直,使图像信息聚焦在CCD的光敏阵列上。CCD本身是电的自扫描器件,因此垂直方向的扫描是靠CCD的自身扫描完成的,数据片向前运动完成了另一维的扫描。

在光积分时间内,入射的光量子进入衬底,它的能量被硅吸收,产生电子-空穴对,这些光生电荷将存贮在彼此隔离的光敏元势阱中,每个势阱中所积累的电荷正比于照射在相应光敏元上的平均照度。当转移栅为高电位时,光积分结束,势阱中积累的电荷转移到光敏阵列两侧的移位寄存器中,然后在传输脉冲作用下依次读出,在这行读出的同时,又开始了下一行的积分。读出的视频信号经过放大,处理后,输送给A/D变换器。

根据CCD像元尺寸,显示的画幅尺寸和典型输片速度,取行频 $f_r = 100\text{Hz}$ ,主振频率 $f_s = 220\text{kHz}$ 。

CCD驱动电路框图如图3所示:

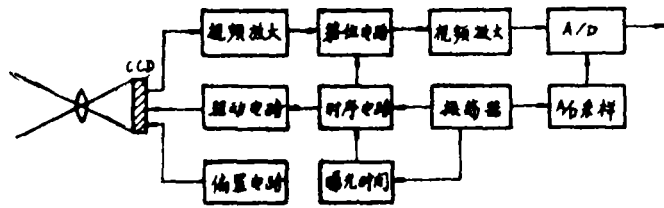


图3 CCD驱动电路框图

采用74LS124做压控振荡器,时钟频率可在较宽范围内变化,以满足输片速度变化的需要。时钟频率经过可编程的分频器,得到曝光时间控制信号 $\phi_x$ ,并由74LS74和74LS123组成的时序电路产生转移脉冲 $\phi_s$ 和传输脉冲 $\phi_r$ 。

因为时序电路产生的脉冲是TTL电平,而CCD的输入电容很大,如 $C_{ox} = 300\text{pF}$ , $C_{or} = 700\text{pF}$ ,CCD要求驱动脉冲的幅度为 $5 \sim 12\text{V}$ ,所以,要求脉冲驱动电路不仅能进行电平转换,而且要有大电流驱动能力。脉冲前后沿时间不能大于 $40 \sim 50\text{ns}$ ,故采用驱动器DS0026或75361以满足要求。

CCD输出的视频信号有两路,用FC91作差分放大,单端输出,去掉了两路信号中的共模部分,采用交流耦合和箝位电路,把暗电平箝到零伏,再通过一级放大,把信号放大到A/D所需要的电平。

## (2) 帧存贮器

采用存贮芯片HM6116,容量为 $2\text{k} \times 8\text{bit}$ ,存取时间为 $200\text{ns}$ ,该片每个存贮单元为 $8\text{bit}$ ,而设计中每个像素为 $4\text{bit}$ ,为了充分利用,我们将每个存贮单元分成两部分,高四位存贮一个像素灰级值,低四位存另一像素灰级值。整个存贮体所需HM6116片数为64片。

因为CCIR行同步周期为 $64\mu\text{s}$ ,要求在行正程期间(约 $52\mu\text{s}$ )读出512个像素,则每个像素周期为 $100\text{ns}$ ,而HM6116存取时间为 $200\text{ns}$ ,不能满足在 $64\mu\text{s}$ 内读出512个像素的要求,为此,将64片存贮片分成四个区(即4部分),每个区16片为一块板,一共4块存贮板。采取并行读,则 $100\text{ns} \times 4 = 400\text{ns}$ 才能满足HM6116时间要求,这样,每 $400\text{ns}$ 从存贮器中取出所需的四组数据,送给缓存,然后,每 $100\text{ns}$ 从缓存中送出一组数据,从而解决存贮片子速度慢,而读出要快的矛盾。

### (3) 存储器写操作

该系统采用行逆程期间进行写操作，每行写 2 个像素，每场写一行。存储器写操作框图如图 4

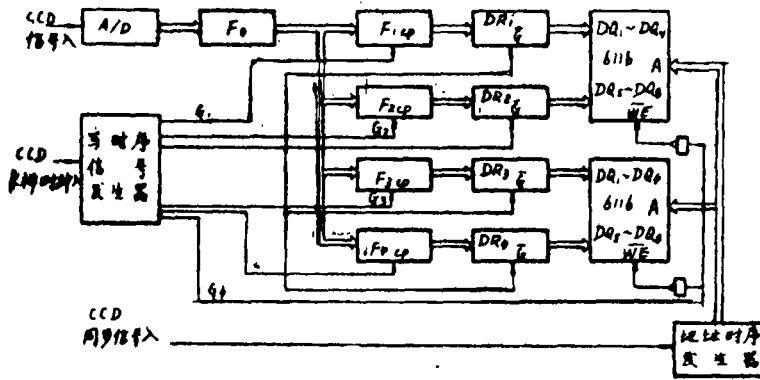


图 4 写操作方框图

存储器写入时序：将 CCD 来的采样脉冲经分频及组合逻辑电路产生存储器所需要的周期为  $128\mu s$ ，脉宽  $32\mu s$  的四种写时序脉冲  $G_1 \sim G_4$ ，分别作为锁存器  $F_1 \sim F_4$  的 CP 脉冲。产生脉宽  $3.2\mu s$ ，周期为  $64\mu s$  的写使能信号  $\overline{WE}$ 。为使数据写入存储器中去，需产生脉宽为  $4.8\mu s$ ，周期为  $64\mu s$  的驱动器控制信号  $\overline{G}$ 。

存储器写地址时序：将数据写入存储器哪个单元中去，需由行、列地址及译码器来决定。译码器决定选中存储器中那个片子，而要选中某个单元则由行、列地址决定。地址时序分为行地址时序及列地址时序。

写行地址时序：行地址时序是由行计数器  $C_1$ 、 $C_2$ 、 $C_3$  及驱动器组成。如图 5 所示：因为设计要求 512 行，所以需计数器为 9 位，( $2^9 = 512$ )。

计数器之 CP 为 CCD 来的行同步信号，每来一行同步信号，计数器加 1，则地址变化一次；当计数器计满 512 后，存储器刚好写完 512 行。

当面板开关置于“预置”时，计数器清零；开关置于“滚动”时，计数；置于“停止滚动”时，计数器保持。

写列地址时序：列地址时序是由列地址计数器及驱动器组成。根据设计要求，每一列地址可选中二个存储单元，可写入四个像素，所以列地址计数器需 7 位 ( $2^7 = 128$ )。该计数器之 CP 脉冲为周期  $128\mu s$ ，脉宽  $32\mu s$  的脉冲，每来一个 CP 脉冲，计数器加 1，列地址变化一次，当计满 128 后，计数器保持，在 CCD 行同步期间，计数器清零。

存储器数据写入：当面板开关置于“滚动”位置时，在每行  $64\mu s$  逆程期间进行数据写入。CCD 来的模拟信号，经 A/D 转换成数字信号，在写时序  $G_1 \sim G_4$  控制下，将该数据锁存到  $F_1 \sim F_4$  中去，然后经驱动器将数据送入存储器各自单元中去。而数据写入哪个单元，由

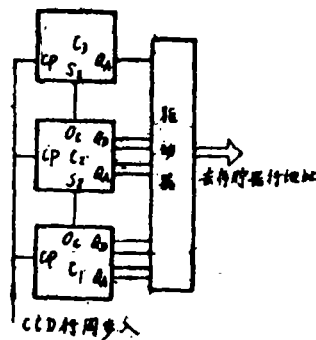


图 5 写行地址时序框图

译码器及行，列地址决定。

(4) 存储器读操作

该系统采用行正程期间进行读操作，4路并行读。如图6所示

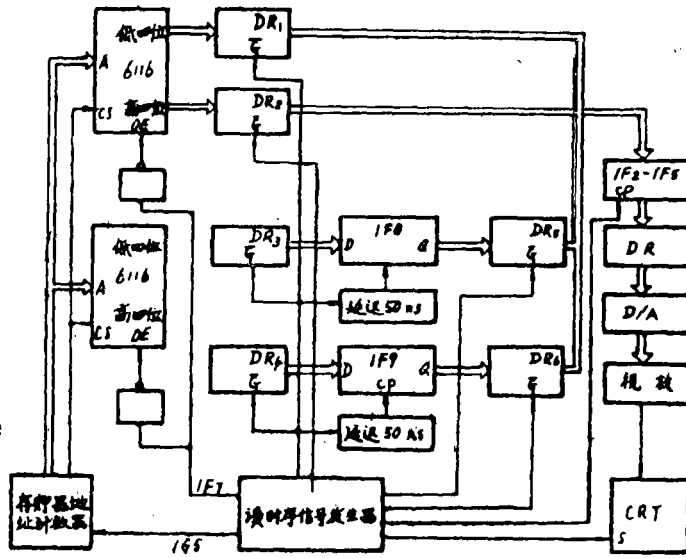


图6 存储器读操作

存储器读出时序：根据设计要求，采用20MHz晶体振荡器，产生周期为50ns的脉冲，经各触发器及门电路而产生存储器所需要的读时序脉冲： $1G_5$ 、 $1F_7$ 、 $1G_7$ 、 $1G_8$ 、 $1G_9$ 、 $1G_{11}$ 、 $1G_{13}$ 、 $S$ 。其中， $1G_5$ 为周期400ns，脉宽为50ns的脉冲，作为“读列地址计数器”的CP脉冲。 $1F_7$ 为周期400ns，脉宽250ns做为存储器读使能( $\overline{OE}$ )信号。 $1G_7$ 、 $1G_8$ 、 $1G_9$ 、 $1G_{13}$ 为周期400ns，脉宽为50ns的序列脉冲，分别做为存储器数据输出驱动器的控制信号 $\overline{G}$ ， $1G_{11}$ 为周期100ns，脉宽50ns脉冲做为缓存器 $1F_2 \sim 1F_5$ 的CP信号。 $S$ 为监视器所需要的复合同步信号。

存储器读地址时序：该系统读地址时序，是由读地址计数器来产生的。包括：“读行地址计数器”及“读列地址计数器”二组，分述如下：

读行地址计数器：该计数器CP脉冲为周期20ms的场同步脉冲。特点是：在场同步期间设有7个小脉冲做为计数器预置用，在场正程期间的每行同步期间设有脉宽为0.4μs的两个正脉冲，做为计数器的计数脉冲，该小脉冲是为了隔行扫描而设置的。因为监视器为隔行扫描，所以对于存储器在读出数据时必须保证隔行读出才行，为此，设置一触发器，使其输出在偶数场时为零，在奇数场时为1，使得读行地址计数器在偶数场时，在场同步期间进行预置，再来CP脉冲时计数，计数为0、2、4、6...510行；在奇数场时，计数器为1、3、5、7...511，从而达到隔行的要求。读行地址计数器经驱动器输出送给存储器地址线。

读列地址计数器：该计数器CP为周期400ns，脉宽50ns的脉冲，每来一CP脉冲，计数器加1，列地址变化一次，当计满128后，则计数器处于保持状态，在行、场同步期间进行清零。读列地址计数器经驱动器输出送给存储器有关地址线。

存储器数据的读出：在64μs行同步正程期间，存储器进行读操作。首先由读行地址计数器作用，在偶数场时经译码器选中存储器一、三板，而第二、四板不工作，根据片选及行、

列地址而选中一板的第一单元的低四位及高四位，第三板第一单元的低四位及高四位，即 1、2、3、4 像素数据，在读使能作用下，四个像素值同时送入驱动器  $DR_1$ 、 $DR_2$ 、 $DR_3$ 、 $DR_4$  中暂存（见图 4），然后在读时序  $1G_7$  作用下，使  $DR_1$  中的第 1 个像素数据先送出到数据总线上；而  $DR_3$  里的第 3 个像素值先送给  $1F_3$  缓存，经延迟 50ns 后，再送给  $DR_5$ ，经读时序  $1G_9$  作用将第 3 个像素数据送到数据总线上。因为  $1G_9$  比  $1G_7$  延迟 200ns，所以第 3 个像素比第 1 个像素延迟了 200ns。接着由读时序  $1G_8$  打开  $DR_2$ 、 $DR_4$ ，则使  $DR_2$  里的第 2 个像素数据直接送到数据总线上，因为  $1G_8$  比  $1G_7$  延迟了 100ns，所以第 2 个像素比第 1 个像素延迟了 100ns。而  $DR_4$  里的第 4 个像素数据先送入  $1F_4$  中缓存，延迟 50ns 后，再送给  $DR_6$ ，由读时序  $1G_{13}$  作用将第 4 个像素数送到数据总线上，因为  $1G_{13}$  比  $1G_7$  延迟了 300ns，所以第 4 个像素比第 1 个像素延迟了 300ns。最后，将 1、2、3、4 像素数据逻辑或输出。接着列地址计数器加 1，而选中一、三板的第二单元，则同理第 5、6、7、8 个像素数据输出，依此类推，一直送完偶数场第零行上的 512 个像素为止。送完第 0 行，经行地址计数器加 2，由行、列地址决定，开始送偶数场第 2 行的数据，同理，送完 4、6…510 行。

送完偶数场后，再开始送“奇数场”。由行地址计数器作用，在奇数场时，经译码器选中第二、四块存储器板，而一、三板不工作。根据片选及行、列地址而选中二板中第一单元第 1 个像素和第 2 个像素数据，第四板中第一单元的第 3、第 4 个像素数据，在读使能作用下，同理，将 1、2、3、4 像素送到数据总线，再送 5、6、7、8 像素，一直送完奇数场第 1 行的 512 个像素，再送奇数场第 3 行的数据，总之，在奇数场时，送出 1、3、5、7…511 行数据。

将读出的数据信号，经移位寄存器输出，送至假彩色编码。即将该四位数据信号，按照一定的次序，经由与非门组成的编码器进行编码，而产生  $R_1$ 、 $R_2$ 、 $G_1$ 、 $G_2$ 、 $B_1$ 、 $B_2$  基色信号，再分别送给三个  $D/A$  变换器进行数模变换，而产生  $R$ 、 $G$ 、 $B$  三路模拟信号，输送到彩色监视器进行显示。

## 四、结 束 语

我们研制的 CCD-RAM-CRT 系统，在 HG-1 合成孔径雷达光学处理器上已付诸实际应用，取得了较为满意的结果。

该系统不仅可做为线阵 CCD 图像的滚动显示，也可用于其它慢写快读系统使用。

参加本工作的还有耿欣、胡存举、白雨虹等同志。

## CCD Storage and Display System

Huang Lianqing Geng Yuzhi Liu Yintian Yu Qianyang

### Abstract

This paper describes a CCD storage and display system added to the optical processor of a synthetic aperture radar. A linear array charge-coupled device is used in the system. After the output signals of moving image samples are transformed from analogue to digits, they are written into the storage line by line during the back stroke of line synchronization, the data are read out during the forward stroke. Through the false color coding and D/A transform, rolling false color images are displayed on the color monitor. Apart from observing images by this system, it also provides convenient conditions for further digital image processing.