

高速高可靠性并行通信接口设计

韩毅 邢忠宝

(中国科学院长春光学精密机械研究所, 长春 130022)

摘要 通过对并行通信几种方法的分析, 针对分布式指挥控制中心的特点及要求, 提出了一种高速高可靠的并行数据传输的办法, 并对这种方案进行了研究与设计, 解决了指挥中心原通信接口中存在的一些问题, 通过实验论证了该方法的可行性。

关键词: 分布式系统; 并行通信; 智能通信卡; 高速; 高可靠性; 接口

1 引言

在多主 CPU 计算机系统中, 数据通信是一个十分重要的环节, 它是联系各主 CPU 的纽带。数据通信的速度上不去, 将使整个系统的性能指标大大降低, 而数据通信的质量得不到保证, 将会影响到系统的正常运行。因此如何保证数据在通信信道中迅速、准确地传输, 就成为多主 CPU 计算机系统的一个主要问题。

本文针对指挥控制中心这样的分布式计算机系统, 对以上提出的问题进行分析和讨论, 并给出了解决问题的方法。

指控中心由四台系统机组成。这四台系统机各自担负着重要的任务, 并通过数据通信相互联系。因其结点数较少, 各系统机间距离又很近(四台机器在一个大机柜内), 故采用全互连的网络拓扑结构, 各系统机间采用并行通信。

采用全互连加网络拓扑结构的原因是与其它几种拓扑结构相比, 该结构路径多, 速度快, 数据传输延迟较短。一旦其中某系统机出现故障即可立即将其摘除, 有利于系统的动态重组。

并行通信在通信双方距离较近的情况下, 比串行通信速度要快得多, 这不仅是因为并行通信一次传输的数据为 8 位, 而串行通信为 1 位, 而且在通信进程方面并行通信较串行通信也有所简化, 使数据通信对于 CPU 来说更直接、更简便, 可靠性更好。

2 并行口数据通信

采用 8255、8155、PIO 等可编程并行接口芯片完成数据传输。这种方式的一个典型例子就是美国 ICS 公司的 PCDIO/120P 并行卡。这种方式不仅要芯片进行初始化编程, 更为不利的是整个输入输出过程都要求 CPU 干预, 对于主 CPU 来说是一种限制。

3 存储器窗口方式

这种方法又称共享存储体的数据通信。顾名思义,就是扩充出一段存储空间为通信双方所共享,这样就把通信的交接过程转化为各 CPU 对共享存储体的读写过程。这种方式的优越之处在于,通信过程不再受双方 CPU 干涉,使 CPU 从繁杂的通信控制中解脱出来,减轻了 CPU 的负担,而且因其可以成块读写,故在通信速度上又比并行口通信有很大提高。

存储器窗口数据通信的常见方法有竞争存储器方式和双端口存储器方式。

竞争存储器方式采用单端口的数据存储器,通过总线控制逻辑控制交换数据双方的 CPU 分时获得共享存储体信息交换窗口的控制权,从而实现数据的交换。该方式与下文所述的双口 RAM 方式相比,控制逻辑较为复杂,有一定的局限性。

双端口 RAM 方式采用双端口存储器如 IDT7142 等,它具有两套独立的地址、数据总线和读写控制逻辑,其双端口控制逻辑具体到了每个存储单元,可以实现双方 CPU 同时读/写同一存储单元。

针对指控中心分布式计算机系统,因其可扩充的存储空间有限,我们采用并口方式和双口 RAM 相结合的方式,在并行通信接口卡上增加一片 8098CPU,以控制 8255 的输入输出,完成对外的数据输入、输出控制。而本机采用双口 RAM 方式对 IDT7142 存储器读写。这样与原方案(PCDIO/120P)相比,整个通信通道中的数据流传输的时间增加的开销不大,(与并行口数据 I/D 相比,存储器读写操作的速度要快得多)。但对主 CPU 来说,需要主 CPU 参与的时间降低到原来的 1/10 左右,因此速度上大大提高,减轻了主 CPU 的负担。

这种智能并行通信卡的原理框图如图 1。

卡上的 8098 CPU 作为从 CPU 控制 8255 的输入、输出,把并口——主 CPU 这一直接通道变成并口——共享存储体——主 CPU 这样的间接通道,将对 8255 的控制权移交给 8098,主 CPU 通过读写双口 RAM 完成数据交换。

改进前后的数据流向如图 2。

当系统机 A 向系统机 B 发出数据时,在原方案中,首先由系统机 A 的 CPU 将数据逐字节地送往 8255,而系统机 B 的 CPU 则从自身接口卡上的 8255 逐字节地接收数据,整个通信过程都需要双方的 CPU 介入,占用了主 CPU 的大量的机时。

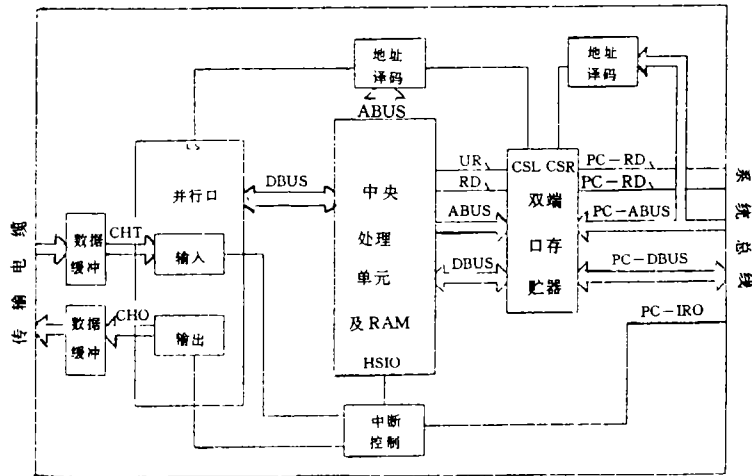


图 1 智能并行通信卡原理框图

改进以后,主 CPU A 将数据成块地送入双口存贮器后就不再控制数据流向,而由 8098 接管对数据的控制权。8098 将数据从并口发出后,由系统机 B 的从 CPU 控制接收。全部接收并存入双口 RAM 后中断系统机 B 的主 CPU,此时主 CPU B 才开始接收数据。主 CPU 将数据成块接收并确认,完成一次数据交接。

可见采用这种方式确实可以减轻主 CPU 的负担,而且它具有重发的功能,提高了系统的可靠性。而对主 CPU 而言,同样的数据文件,存取时间大大缩短了。

通信速度提高的关键在于,将原方案的 CPU 逐字节的 I/O 接口操作变为现方案的 CPU 成块的存贮器读写操作。

根据这个思想,我们设计了“智能并行通信卡”,其硬件电路图及软件程序框图、清单从略。

在实验中,我们连续向 8255 发送 200 个数据,并读得发送前后定时/计数器的差值为 124H(系统时钟 6MHz),而同样连续向双口存贮器写入 200 个数据,其前后定时/计数器差值为 18H,将这两个值相比,可知改进后并行通信卡占用主 CPU 的时间为 PC DIO/120P 的 1/12,可见改进后的速度有明显提高,也证明了本方案是合理、可行的。

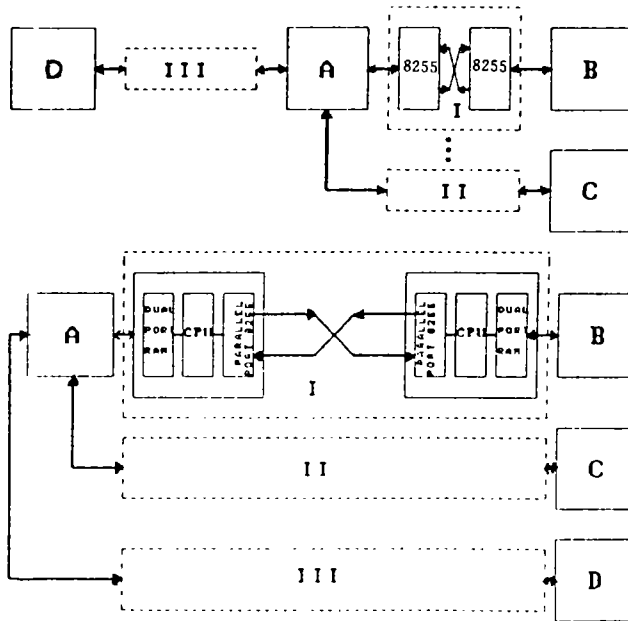


图 2 两种方案的数据流向

参考文献

- [1]樊昌信,数字通信简述.北京:人民邮电出版社
- [2]厄·坦南巴姆,计算机网络.北京:机械工业出版社
- [3]鄱雪峰,计算机与数据通信.上海:复旦大学出版社
- [4]AX2316 智能 16 通道 RS-232 接口卡用户手册.台湾 AXIOM 公司,1991

Design of Parallel Communication Interface with Highspeed and High Reliability

Han Yi, Xing Zhongbao

*(Changchun Institute of Optics and Fine Mechanics,
Chinese Academy of sciences, Changchun 130022)*

Abstract

This paper analyzes and compares several methods in parallel data communication, gives a highspeed & high reliable method for distributed command & control system. Meanwhile, we discuss and design a parallel communication interface. It also gives solution to some certain problems in the communication interface in command & control system. Through experiments, it proves that the method is possible.

Key words: Distributed system, Highspeed parallel communication, High-reliability, Intelligent communicate card, Interface