

# 用高密度可编程器件设计 CCD 驱动器

郭永飞

(中国科学院长春光学精密机械研究所, 长春 130022)

**摘要:**介绍一种高密度可编程器件(HDPLD)以及万能逻辑块(GLB),并利用 GLB 的组合逻辑阵列和寄存器来设计 CCD 驱动器的方法。

**关键词:**可编程器件(PLD); CCD; 驱动器; 万能逻辑块(GLB)

## 1 概 述

CCD(Charge Coupled Devices)电荷耦合器件自问世以来,在光电变换领域内已经取得了惊人的进步。它在动态范围、分辨率、集成度、功耗和灵敏度等方面有其优点。因此被广泛应用于传真、复印、非接触测量、人工智能视觉和自动化等方面。

实现 CCD 器件的驱动方法有许多种类,第一种是采用中小规模的集成电路按序度和逻辑关系构成的驱动电路。这种方法对于驱动时序简单的 CCD 器件(线阵 CCD)来说,需要几片集成电路。而实现复杂的 CCD 器件(面阵 CCD)将需要更多的集成电路。第二种是采用可编程 EPROM 方法构成的驱动电路。这种方法在一定程度上减少了中小规模集成电路的数量,但由于可编程 EPROM 的工作速度很慢,不能实现很快的驱动时序。第三种是采用单片机构成的驱动电路。这种方法与第二种面临着同样的问题。

目前,国外的 CCD 产家开始采用专用集成电路(ASIC)技术来为自己的产品配置驱动器。它可以在一个体积很小的集成电路内实现 CCD 器件的所有驱动时序,但采用这种技术来设计 CCD 驱动器的周期很长和费用很高,并且需要由专业的产家来设计和生产。使得配有驱动器的 CCD 器件种类很少。当今专用集成电路(ASIC)领域中又出现的一种新的分支,即高密度可编程器件(HDPLD)。它使得 CCD 器件的使用者有可能借助相应的开发工具来设计驱动器。并且具有类似 ASIC 的性能。

## 2 HDPLD 的特点

高密度可编程器件(HDPLD)主要应用于数字系统的设计。可实现从各种简单的组合逻辑和时序逻辑一直到微处理器和微控制器等复杂电路。HDPLD 按很高的容量制造,然后由用户按专门的应用来编程,以前由多个 TTL、PLD 和 EPLD 逻辑器件执行的逻辑功能可以集成到

单片 HDPLD 器件中。从而避免了 ASIC 设计的高成本、高风险和较长的开发周期。所以 HD-PLD 为逻辑设计者提供了若干好处。

以 Lattice 公司的 pLSI1016 器件为例,介绍 HDPLD 器件的内部结构。在 pLSI1016 的中心是集总布线区(GRP),它在时间延迟上恒定并且可预知的条件下提供完善的片内互连性能,通过它可将片内各万能逻辑块(GLB)连接在一起。输出布线区(ORP)提供了 GLB 输出与输入引脚之间灵活的连接途径。它可以使每个 GLB 的输出和输入在不同的引脚上出现。GLB 是 pLSI1016 内部的关键部件。其结构

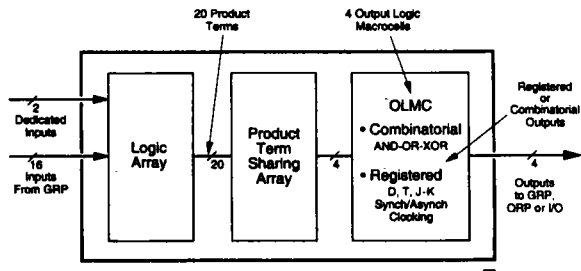


图 1 pLSI1016 的 GLB 结构

Fig. 1 Architecture of Generic Logic Block

如图 1 所示。每个 GLB 有 18 个输入和 4 个输出,具有 4 个寄存器并可容纳 20 个乘积项。GLB 的每个输出可以根据需要构成组合逻辑和时序逻辑。

pLSI1016 有两种结构类型。一种是 EEPROM 型,它需要专用的写入装置进行编程。另一种是在前者工艺基础上采用了(In System Programmability)ISP 技术。它可以实现在板编程,即无需将器件从电路板上拆下,在不改变外部引脚排列的情况下修改内部的逻辑设计,更具体设计的灵活性。它们共有一个特性是复用性,即可以用同一个器件,只需修改内部的逻辑关系就可以完成全然不同的功能设计。

### 3 CCD 的驱动原理

图 2 是 HE97211 型面阵 CCD 器件的驱动时序波形图。它是一个 320×244 像元的 CCD。从图中可以看出这种 CCD 需要六种逻辑驱动脉冲,另外为了同步 CCD 的外围处理电路,还需要四种同步驱动脉冲。这样驱动 HE97211 型面阵 CCD 器件共需要十种驱动脉冲。

Tvin 为垂直启动驱动脉冲,它的作用是开始新的一帧扫描。Tv1 和 Tv2 为垂直转移驱动脉冲,它们的作用是依次选取每一行。Thin 为水平启动驱动脉冲,它的作用是开始新的一行扫描。Th1 和 Th2 为水平转移驱动脉冲,它们的作用是将已选中的一行像元中的电荷依次转移到 CCD 器件的输出端上。Tvs 和 Ths 分别为垂直和水平同步驱动脉冲。Tvb 和 Thb 分别为垂直和水平消隐驱动脉冲。具体用途可参阅有关资料。

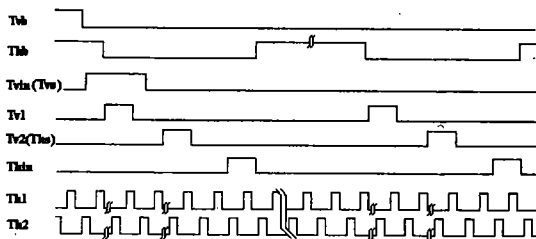


图 2 CCD 的驱动时序

Fig. 2 CCD drivered time

## 4 驱动电路设计

实际的逻辑设计是在专用开发软件上进行。Lattice 公司为用户提供了开发系统(PDS)软件,它用于实现 pLSI/ispLSI 全系列器件的逻辑设计。各种不同的设计能够快速通过 PDS 软件和 PDS+ 软件来实现。设计输入可以采用原理图、布尔逻辑方程或文本文件等不同的方式。PDS 软件提供多于 275 个预制宏逻辑元件来协助设计过程,这些宏逻辑元件包含了从基本逻辑门到 16 位计数器的绝大多数 TTL 逻辑功能。PDS 软件还支持用户自行定义的宏逻辑元件。输入的设计被自动验证和简化并检查信号的匹配性。PDS+ 软件可以通过其它软件包实现逻辑时序的模拟仿真。设计的结果由 PDS 软件进行器件内部的自动布局与布线并产生编程数据,再装入器件内即完成了类似 ASIC 设计的全过程。整个过程无需调试器件本身,因此这种独立于工艺的特点对设计者是非常方便的。

HE97211 型面阵 CCD 器件的驱动电路设计采用原理图输入法。它主要分为三个部分。时钟分频器,水平与垂直计数器,水平与垂直脉冲发生器。下面就一些部分的设计进行举例介绍。例中所涉及的逻辑元件均为 HDPLD 器件设计用的宏逻辑元件。

### 4.1 时钟分频器

由于 HDPLD 器件有众多的逻辑门和寄存器,每个 GLB 有 18 个输入和 4 个输出,具有 4 个寄存器并可容纳 20 个乘积项。因此可充分利用它们来实现设计。图 3 是时钟分频器的逻辑

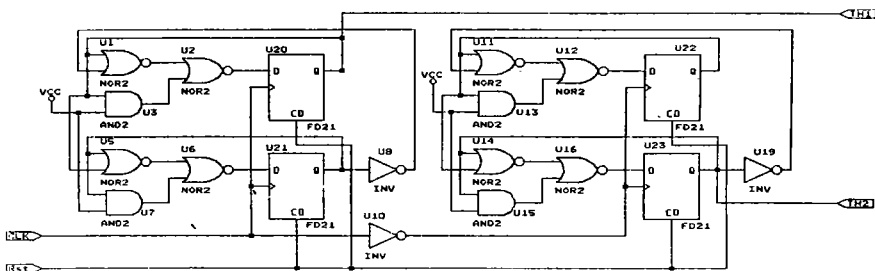


图 3 时钟分频器

Fig. 3 Clock Divider

电路。它由两个计数式三分频器组成。每个分频器采用一个 GLB,分别对参考时钟的正负跳变进行计数分频,之所以选用三分频方式是基于 Th1 和 Th2 的时序关系而决定的。Th1 和 Th2 的占空比为 0.35,若直接采用参考时钟或二分频和四分频只能获得 0.5、0.25 和 0.125 的占空比,都与其时序关系相差甚远。因此采用对参考时钟的三分频可以实现 0.33 的占空比。这个占空比非常接近占空比为 0.35 的要求。三分频器的结构采用了 GLB 的同步计数方式以克服时间延时所造成的问题。采取两个不同触发方式以实现 Th1 和 Th2 之间相差 180。

### 4.2 水平与垂直计数器

HE97211 的一行像元数为 320,需要 Th1 和 Th2 提供 320 个脉冲来转移所有的电荷。为了扫尽一行像元中的残余电荷,Th1 和 Th2 的脉冲数要比一行中的像元数多几个,在包括 Thb 水平消隐有效期内无效的脉冲数,完成一行像元的转移总共需要 370 个脉冲。因此,水平计数器是由一个 9 位的可预置计数器构成,利用 3 个 GLB 来实现,采取循环计数方式。它对 Th2 进行计数,每 370 个脉冲重复一次,为水平脉冲发生器提供一个时间基准。

HE97211 型面阵 CCD 在垂直方向有 244 行,考虑垂直消隐需要一行的时间,因此完成一帧的扫描共需要 245 行。垂直计数器也是一个 8 位的可预置计数器。使用 pLSI1016 中的 2 个 GLB。它对水平计数器的结束脉冲进行计数。每 245 个脉冲重复一次,为垂直脉冲发生器提供一个时间基准。

### 4.3 水平与垂直脉冲发生器

水平脉冲发生器的逻辑电路见图 4 所示。图中的电路是以水平计数器为时间基准产生 Thin、Thb 和 Ths 脉冲。逻辑设计中为了充分发挥 HDPLD 器件的高密度性,利用众多的门电路和乘积项,采用比较时间基准的组合逻辑方式。因此只利用了 GLB 的一部分。为了克服由时间延时而产生的毛刺现象,在输出上选用了 GLB 的同步锁定方式。使 Thin、Thb 和 Ths 脉冲与 Th2 之间只存在一个可预知的的时间延时。同样,垂直脉冲发生器是以水平脉冲发生器为时间基准产生

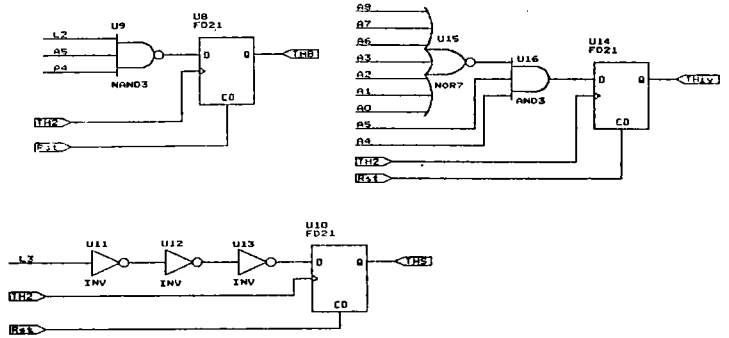


图 4 水平脉冲发生器

Fig. 4 Horizontal pulse generator

Tv1 和 Tv2,以水平与垂直脉冲发生器为时间基准产生 Tv1n 和 Tv1s,垂直脉冲发生器为时间基准产生 Tv2b,逻辑设计采用与水平脉冲发生器同样的方法。

## 5 结 束 语

利用一片高密度可编程器件 pLSI1016 实现的 HE9711 型面阵 CCD 器件的驱动器,只占用了其器件资源的 50%,就完成了 CCD 驱动全部的驱动功能,从而代替几十片中小规模的集成电路。这充分体现了 HDPLD 器件在逻辑设计中的发展潜力。而且 pLSI1016 具有很高的速度、很小的体积和功耗。可以与 CCD 器件装配在一起。它可以达到近似 ASIC 电路的性能。是今后逻辑电路设计领域中重要的发展方向。被广泛应用于数据处理、数据通讯、图像处理、空间技术、军事装备、工业控制和测量仪器等方面。

### 参 考 文 献

- (1)赵元平,新颖的在系统可编程器件. 电子技术应用,1995,(6)43-45
- (2)章开和,用高密度可编程器件设计条码阅读器. 电子技术应用,1995,(7)30-33
- (3)王晓东,电荷耦合器件的单片机驱动. 微型机与应用,1990,(6)22-23
- (4)郭永飞,用 EPROM 设计 CCD 像机外围驱动电路的方法. 光学机械,1992,(5),75-78

## Design of CCD Driver by Using High-Density Programmable Logic Devices

Guo Yongfei

*(Changchun Institute of Optics and Fine Mechanics,  
Chinese Academy of Sciences, Changchun 130022)*

### Abstract

This article describes a high-density programmable logic devices (HDPLD) and architecture of generic logic block (GLB), and design of CCD driver by using a combinational logic array and register in GLB.

**Key words:** Programmable logic devices (PLD), CCD, Driver, Generic logic block (GLB)

**郭永飞** 男, 1961年1月出生。年毕业于长春光学精密机械学院。在长春光学精密机械研究所取得硕士学位。从事电子技术与微计算机应用方面的研究。硕士论文获得科学院优秀论文三等奖。参加了几项重大攻关课题的研究工作。撰写十余篇工作报告和论证报告。