

数字系统层次化设计模型的建立方法

何 斌

(中国科学院长春光学精密机械研究所 长春 130022)

摘要 论述了在数字系统层次设计中顶层行为描述的方法,以实例应用说明了顶层的建模的过程。

关键词 EDA VHDL 行为描述

1 引 言

由于EDA技术的出现,数字系统的设计方法已经发生根本性变化.在传统设计方法中,设计者要为设计画线路图,这种原理图通常由线和表示基本设计单元的符号连在一起,其中符号取自设计者用于构造线路图的零件库.符号的类型与设计器的类型有关.换句话说,如果用标准逻辑零件的板级线路图,那么线路图中显示的符号为可用的标准零件符号;如果设计ASIC线路图,那么可用的符号是有关ASIC库的专用单元.很明显,设计者的设计思想以及仿真手段受到基本设计单元、专用单元库的限制.在电子设计自动化技术中,硬件描述语言的标准化,数字系统的基本单元已经作为基本功能函数提供给设计者,使其不必考虑基本单元的约束,而直接进入功能级、系统级的顶层设计.顶层设计的方法完全采用硬件描述语言(HDL)实现.因此,对于数字系统设计者来说,现在和将来面对的主要是如何运用HDL分层次的表达设计思想,并在EDA环境中仿真验证.本文运用Verilog-HDL硬件描述语言,介绍一种建模方法。

2 HDL 的描述方法

HDL用标准语言来描述数字系统的顶层设计思想.而数字系统基本上由两部分组成.其一是系统的结构,包括接口,逻辑函数,信号的连接等,即硬件部分;其二是数字系统的行为表述,包括触发,延时,驱动,指令执行等,即程序部分.因此HDL的描述方法也包含两方面的内容,即结构描述,行为描述^[1]。

2.1 结构描述

硬件描述语言为设计者提供基本逻辑单元,如:与门,或门,与非门,或非门,异或门,缓冲器,触发器等单元。结构描述就是运用接口、信号线、基本单元表示数字系统的结构和信号流。因此结构描述是层次设计中低层描述方法,一般只适用于简单数字电路或基本单元建模,如:多路选择器、数据流控制等电路的描述。在层次设计中属于门级、电路级。

2.2 行为描述

数字系统的行为表述是顶层设计的描述,不必考虑基本单元的限制条件,仅以系统的行为功能为基础来建立模型。如果对数字系统进行完整的描述,那么必须包括以下几个方面的描述:

(1) 并行性和顺序性

并行性主要是指再数字信号处理中,同步执行或信号的描述;而顺序性主要是对在时钟控制下,一个信号接一个信号过程的描述。

(2) 事件驱动

主要是对数字信号的变化过程或者一个信号变化引起另一个信号的触发行为的描述。

(3) 延时行为 在数字系统中,延时是所有设计者关心的重要问题,行为描述必须给予正确的表达。一般数字电路的延时有两种:

固有延时:等于通过器件本身的延时。它有这样的特性,在信号值维持期间,如果存在任何毛刺、脉冲,而且他们的周期比通过器件的固有延时值小时,那么输出信号的值将不发生变化;如果在一值上信号值维持时间比通过器件的固有延时长,那么超过固有延时之后期间将变到一个新的状态。

传输延时:等于连线的延时。在这种延时中,不管多么小的脉冲都将指定的延时值传给输出端一个延时信号。

固有延时和传输延时的正确描述,是数字系统仿真的关键。如果给出了符合实际要求的延时描述,设计综合得到的门级、板级电路就能正确映射出物理实现的器件。否则,就可能出现仿真时无毛刺、尖峰现象,而实际物理实验将出现这些不良现象。因此,为了取得与实际相符的仿真效果,应正确给出延时描述。

2.3 顶层行为建模

由2.1, 2.2可知,在层次设计 HDL 描述中,随着层次由顶到底,描述方法也由行为描述转向结构描述。只是主要的描述由行为描述建模,而辅助模块由结构描述建立模型。由于 EDA 综合优化水平不断提高,且半定制半导体新产品的不断出现,门级和电路级的设计逐渐由厂家来完成。因此数字系统的行为描述是系统设计的关键。换句话说,就是顶层行为建模是整个系统设计的起点,也可能是其终点,EDA 工具将自动完成其他各级的设计。

顶层行为建模的基本思想:从系统级的角度,对数字系统进行各功能模块数据、控制和指令的行为描述,然后对各功能模块的数据信号进行行为描述。

行为建模实现过程:

(1) 依据数字系统要求划分功能模块;

(2) 确定行为描述对象类型,系统接口描述,包括输入信号,输出信号,一些输入输出双向信号,需传入顶层的参数;

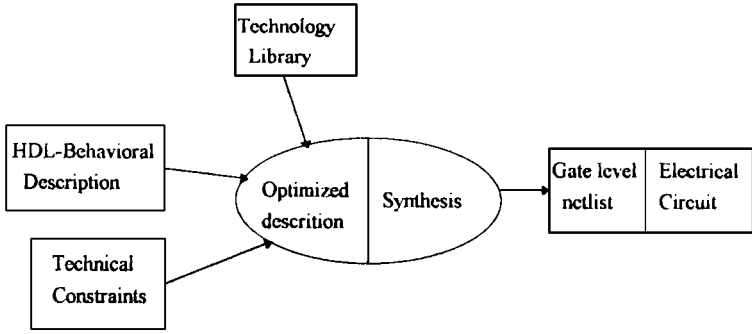


Fig. 1 Basic relation

- (3) 顶层设计控制器描述, 并且验证控制器概念的正确性, 即整个系统的行为描述;
- (4) 功能模块之间数字信号传输的行为描述;
- (5) 功能模块行为描述;
- (6) 行为描述测试码的生成;
- (7) 验证系统级行为描述是否满足要求。

根据上述行为描述实现得出的 HDL 宏模型, 在 EDA 的环境下, 运用综合工具就可以自动生成门级电路. 行为模型, 基本单元库(或工艺库), 综合优化, 门级电路的基本关系如图1所示。

3 实例应用

RISC_ CPU 数字系统由状态控制器、指令寄存器、存储器、算术逻辑运算器等组成。主要实现存储程序的各指令执行、数据运算及存储的功能。整个系统的状态时钟、数据流状态控制器执行操作。因此, 状态由控制器是 RISC_ CPU 的系统级模型(或顶层设计模型), 下面主要对状态控制器进行行为建模。

(1) 定义行为状态 状态控制器主要完成这样几个状态: ①读程序地址指针②从存储器中取出指令送入指令寄存器③改变程序指针读出操作码④进行算术逻辑运算 ⑤写入运算结果到存储器。

其中指令码为: 停止(HTL)、零跳(SKZ)、判跳(JMP)、加(ADD)、与(AND)、异或(XOR)、加载(LDA)、存储(STO)。(2)

系统输入输出接口定义

输入数据信号: 取(fetch), 主时钟(clk), 复位(reset), 指令码

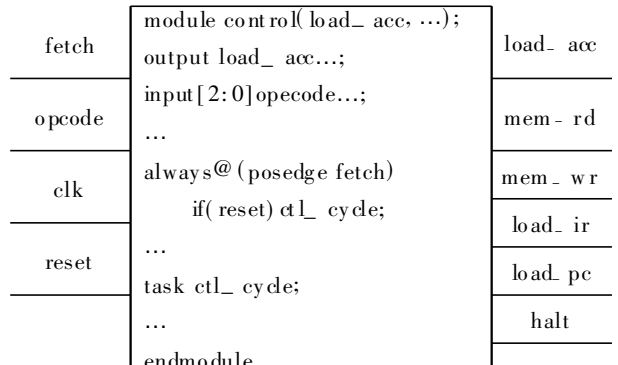


Fig. 2 Baveioral module

(opcode)。

输出数据信号;读加数,读存储器,写存储器,读指令,程序地址计数。(3)顶层行为描述采用 Verilog-HDL 语言进行描述,以主时钟上下沿变化为触发事件,对各状态进行描述,如图 Fig. 2所示。(程序略)

(4)仿真验证(波形图略)。

4 结 论

顶层行为建模的核心是解决定义顶层模块、行为概念的完整性问题。只有顶层行为建模验证之后,才能进行系统其他部分的行为描述和结构描述。

参 考 文 献

- 1 Douglas Perry L, VHDL. McGraw-Hill, 1994. 213~223

The Method of Building Module in the Architecture Design of Digital System

HE Bin

(Changchun Institute of Optics Fine Mechanics,
Chinese Academy of Sciences, Changchun 130022)

Abstract

This paper proposes the method of the top-level behavioral description which is used in the architecture design of digital system and takes practical application as an example to explain the procedure of the behavioral description.

Key words: EDA, VHDL, Behavioral description.

何 斌 男,1990年毕业于北京理工大学研究生院自动控制专业,现为副研究员,主要从事 EDA 方面的工作,已发表论文10 余篇。