

基于 ispGDX 的图像系统数据通道的设计

沈宇键 何 昕

(中科院长春光学精密机械研究所 长春 130022)

摘 要 用 Lattice ispGDX 器件设计了一个实时图像递归滤波系统的数据通道电路,分析了电路的性能与特点,给出了实现的过程及时序仿真,并与 FPGA 器件的设计方法作了比较。

关键词 ispGDX 数据通道 在系统可编程 时序仿真

中图分类号 TN941.1 **文献标识码** A

1 引 言

在高精度的实时跟踪控制系统中,由于探测器及其它一些因素给系统带来的噪声不容忽视。图像递归滤波是实时跟踪系统中滤除噪声的有效手段。图像递归的输出结果来自于 A/D 采样输入与先前输出作为反馈输入的和。一般情况下,目标的运动速度相对于背景要快很多,因此采集到的图像的背景相关性要比目标好很多。图像递归滤波实质就是把图像连续帧中占据相同空间坐标的像素取平均,这样即可消除噪声,同时也不损失图像的分辨率。在设计图像实时递归滤波系统中,图像反馈输入以及实时累积运算对控制电路的数据通道设计及时序电路的配合提出了很高的要求,通常使用 TTL 芯片来设计往往使电路结构复杂,体积庞大,而且在高速系统中时间延迟也不易确定,随着 ASIC(专用集成电路)技术的发展,越来越多的设计采用大规模可编程器件来完成。

美国 LATTICE 公司新近生产的 ispGDX 系列在系统(irr system)可编程数字交叉阵列器件具有高速、灵活、门阵列与寄存器密集等特点,适用于多种应用场合,尤其适用于结构复杂的数据通道设计。本文采用单片 ispGDX-5Q208 设计了图像递归滤波系统的数据通道电路。

2 系统原理

图 1 是一种图像实时递归滤波系统的结构框图。整个系统由实时滤波器, 两片 512K × 8Bit 高速静态存储器, ispGDX 以及 CPLD(复杂可编程逻辑器件) ispPLI1032E 组成。实时滤波器有 A 口、B 口两组数据输入端。A 口数据来自 A/D 转换器的实时采集, B 口数据由一片存储器输出反馈读入。图像的累积运算就是由实时滤波器来完成的。静态存储器是用来暂存滤波器输出的图像数据并供下次运算时读取。CPLD ispPLI1032E 也是在系统可编程器件, 整个系统的逻辑控制由它来完成, 同时它还用来监控两片存储器的状态。系统工作时, 两片存储器交替读写, 一片处于写状态时, 另一片处于读状态。这样, A/D 转换器采集的图像数据与已经暂存于一片存储器中的图像数据经过实时滤波处理后, 写入另一片存储器。经过多帧后, 得到的图像的噪声就大大降低了。

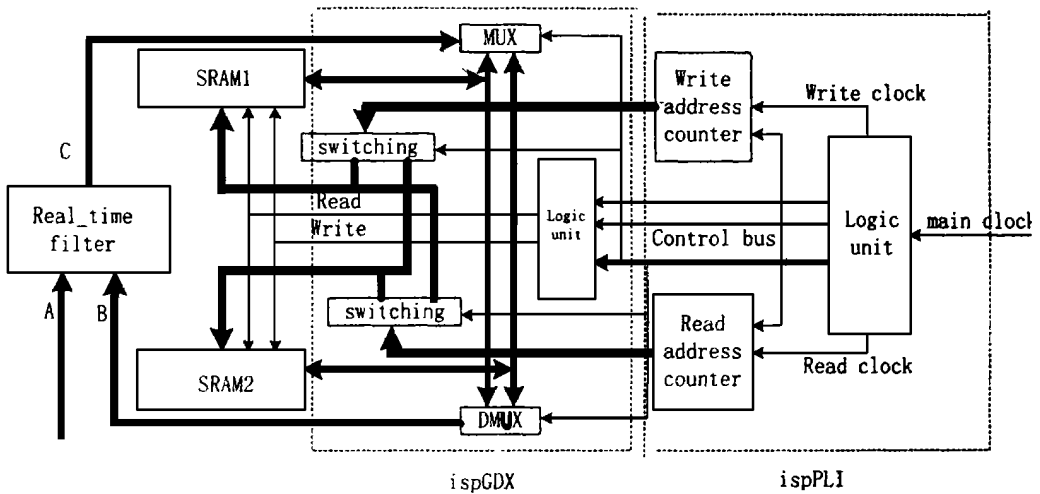


Fig. 1 System block diagram

3 电路结构和功能

由 ispGDX 构成的数据通道电路主要完成存储器的地址、数据总线的切换和读写状态信号的切换。图 2 是系统的局部时序关系。

从图中可以看出, 实时滤波器的时钟频率与系统主振频率一致, 只是较之有 50ns 的延迟。系统的主振频率为 12.5M。实时滤波器从一片存储器读入的数据经运算后再输出到另一片, 需经过六个主时钟频率的延迟。静态存储器的存取周期为 70ns。数据从存储器读出并稳定在数据线上最少需 35ns, 而写入存储器的数据在数据线上的稳定状态至少要保持 30ns。因此在一个主时钟周期内是不可能同时对两片存储器进行读写, 也就是说, 两片存储器不可能共用由主振频率计数产生的地址, 而需要分别提供读地址计数和写地址计数。由存储器容量可知, 读写地址线各为十九根。在读写帧控制信号作用下, 读写地址作相应切换。同时, 两片存储器的数据总线也在滤波器 B 口输入数据总线和输出数据总线之间切换。这样, 每片存储器在不

同状态工作时都要有两路十九根地址线切换, 两路八位数据线切换以及读写信号线的切换。

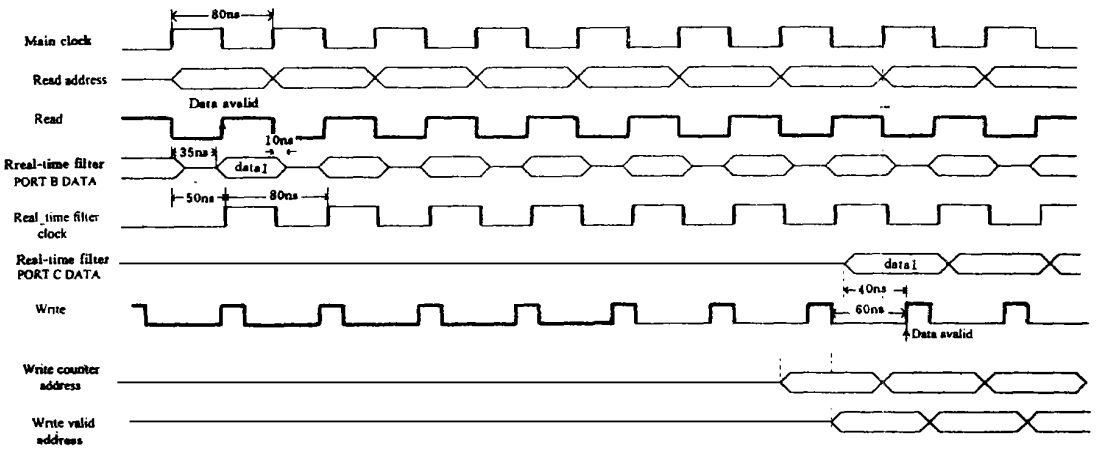


Fig. 2 Timing

4 ispGDx 的实现和验证

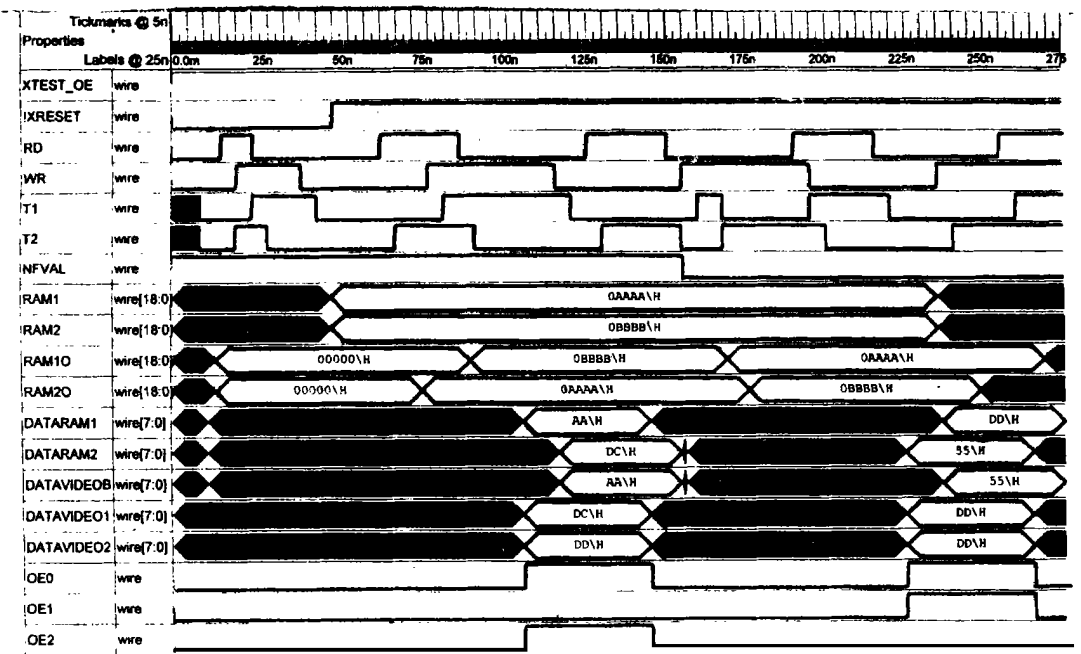


Fig. 3 Timing simulate

ispGDX 实现上述总线接口与多路复用是通过编程来完成的, 它的编程语言是 ispGDX 系列产品所独创的, 无需额外的库或编译器, 而且所有描述文件具有相同的格式。图 3 就是数据通道的时序仿真。

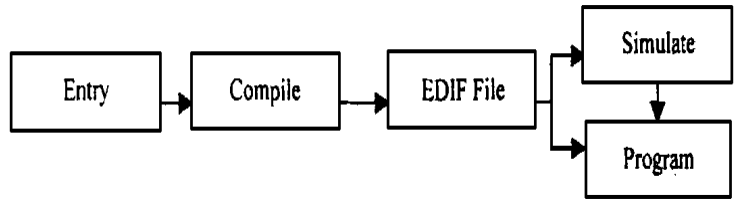


Fig. 4 Flow chart of ispGDX designing

需要指出的是 ispGDX 编译生成 EDIF 标准文件后所作的仿真属于片内布线后的时序仿真。这种仿真可以真实地反映芯片输出信号的结果。只要通过了这种时序仿真, 设计即可在电路中正常工作。图 4 是 ispGDX 实现该数据通道的设计流程。

5 采用 ispGDX 设计的优点

对于复杂的, 时序要求严格的总线接口设计, 目前较普遍采用 FPGA 器件来完成。虽然 FPGA (现场可编程门阵列) 器件在功能上可以实现上述系统要求, 但是实现起来也存在一定的困难。这主要表现在通用的 FPGA 器件的 I/O 数目都是有限的, 必须使用多个器件才能完成。此外, 由于目标系统的 PCB 板的修改代价很高, 一般希望能够在固定引脚端分配的前提下对电路进行修改。但是 FPGA 器件在芯片利用率提高, 或者芯片 I/O 引脚端很多的情况下, 微小的修改往往会降低芯片的布通率, 而且 FPGA 器件的时延也比较大, 不适合高速系统的应用^[1]。与之相比, ispGDX 则非常适用于总线接口和信号布线的应用。本系统选用的 ispGDX-5Q208 的 I/O 引脚达 208 个, 典型延迟时间为 5ns, 可以通过编程来锁定管脚, 大大简化了 PCB 板的布线。从成本上看, FPGA 器件的价格也远高于 ispGDX, 而且与 FPGA 器件相配合的开发工具也很昂贵。ispGDX 则不同, 它的编译及烧录软件都是免费的。

6 结 束 语

本文采用 ispGDX 设计技术实现了一个图像实时递归系统的数据通道的电路设计和仿真。结果表明, ispGDX 在实时总线交叉互换, 多路复用上有着突出的优点, 与 CPLD 的配合使用设计更加灵活, 系统的可靠性也大大提高, 同时也减小了系统的体积, 降低了功耗。与使用 FPGA 设计相比, 其成本也大大降低。因此, ispGDX 在数字通道功能上有着广阔的应用前景。

参 考 文 献

- 1 周荣政, 童家榕, 唐璞山. 一个图像系统数据通道电路的 FPGA 实现和验证. 微电子学, 1998, 20(1): 23~ 27
- 2 <http://www.Lattice.com>. Lattice Handbook Book. Lattice Semiconductor Corp, 1998
- 3 <http://www.Lattice.com>. In System Programmability Manual. Lattice Semiconductor Corp, 1998
- 4 Tekalp A Murat 著. 数字视频处理. 北京: 电子工业出版社, 1998

Design of a Data Channel Circuit for Image Processing System Using ispGDX

SHEN Yu Jian, HE Xin

(*Changchun Institute of Optics and Fine Mechanics,
Chinese Academy of Sciences, Changchun 130022*)

Abstract

A circuit used on a real time image recursive filtering system was implemented with ispGDX. The properties of the circuit are analyzed. Solution and hardware simulation are proposed. The differences between FPGA and ispGDX are discussed.

Key words: ispGDX, Data channel, Irr system program, Timing simulate

沈宇键 男, 1972 年出生, 1996 年于中科院长春光学精密机械研究所获得硕士学位, 现为该所博士研究生。主要研究方向为数字视频图像处理。