

光电并行数字计算中快速乘/除法运算的研究

王纳新

(无锡轻工大学机械系 无锡 2140036)

孙德贵 翁兆恒

(中国科学院长春光学精密机械研究所应用光学国家重点实验室 长春 130022)

摘要 运用M SD 数字运算算法,建立了快速乘/除法运算的光电蝶互连结构,并对快速除法运算的收敛性问题做了进一步研究。

关键词 M SD 算法 光电蝶互连结构 快速乘除法运算

1 引言

光计算优于电计算的最显著的特点,在于它可以充分发挥光的并行性,使数字运算并行完成,从而大大提高运算速度。M SD (modified signed-digit) 算法是近年来比较流行的一种用来实现光学并行数字运算的算法^[1,2],整个运算过程不用考虑进位(或借位)关系问题,因进位(或借位)关系已在相邻两M SD 值的空间编码及排列中得以解决。目前光计算尚不能完全取代电子计算,但光电混合器件的开发和应用势必对改进电子计算机的性能有着重大影响。

在前面的工作中,我们着重对M SD 并行加/减法运算的光电蝶互连结构进行了研究^[3,4],根据M SD 相加运算的三步操作特点及M SD 数字的原理以及我们所规定的编码方式,建立了二维M SD 并行加/减运算的三级蝶互连系统。在参考文献[3]中我们仅仅给出了实现M SD 快速乘/除法运算的基本思想,本文将针对M SD 乘法运算的特点和过程,建立起用于产生部分积(P)的逻辑关系的蝶互连结构,然后与M SD 加法器相结合,进而完成M SD 相乘的互连体系。通过认真分析和研究快速收敛除法运算的特点,给出了对M SD 数取小数点的准则,找出了迭代次数随除数变化的规律,并给出了具体的运算实例。

2 M SD 快速乘法运算光电蝶互连结构

我们已经讨论过用多层蝶互连结构实现M SD 相加运算和相减运算^[3,4],这里将利用与加

减运算系统相类似的结构与技术进行 MSD 相乘运算。

两个 n 位 MSD 数字相乘可以通过一系列的 MSD 相加来实现。相加方式可采用分组相加法, 即参考文献 [3] 中的举例 $(2)_{10} \times (9)_{10} = (18)_{10}$ 所示的运算方法, 将乘数的每一位与被乘数相乘所得的部分积两两分成一组, 然后相加。如果被乘数 X 为 M 位, 乘数 Y 为 N 位, 我们设置二个加法器如图 1 所示。

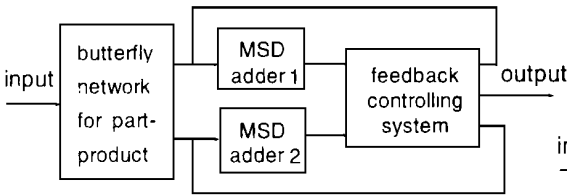


Fig 1 Multiplication calculator using two or more MSD adders

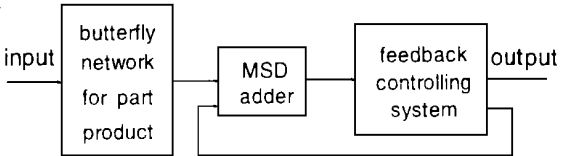


Fig 2 Multiplication calculator using one MSD adder

当 N 为偶数时, 可分为 $\frac{N}{2}$ 组 MSD 相加运算; 当 N 为奇数时, 则可分为 $\frac{N+1}{2}$ 组 MSD 相加运算。第一次相加运算的结果仍可按上述办法进行分组计算。显然, MSD 相乘运算需要建立一个反馈系统, 这种运算的相加次数为:

$$K = \frac{N}{2} + \frac{N}{4} + \dots + 1 = N - 1$$

然而, 由于每次可同时用两个加法器运算, 因而反馈次数为 $\frac{N}{2}$ (N 为偶数) 或 $\frac{N-1}{2}$ (N 为奇数)。

MSD 乘法运算也可不用分组方法, 而运用连续相加方法, 即将乘数的每一位与被乘数相乘所得的部分积逐一相加起来。采用这种方法只需一个加法器, 相加次数也为 $N - 1$, 但其反

馈次数则变成 $N - 1$ 次, 因此运算速度要比分组相加慢。但若从节省成本角度来考虑, 则这种方法又比分组法有利。其系统框图如图 2 所示。

其实, 对于一个高位加法器而言, 通过适当调整, 它可以同时兼做二个低位加法器。这样对于低位乘法运算我们可以只利用一个高位加

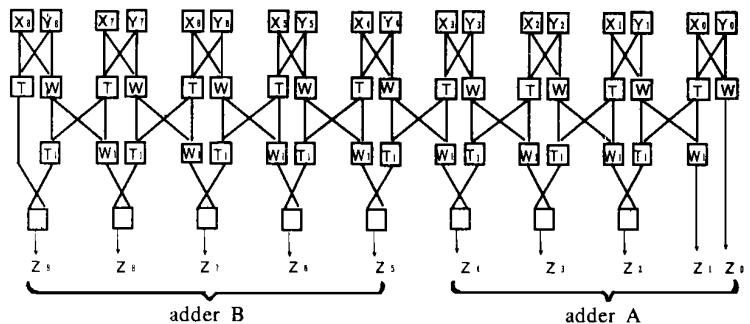


Fig 3 Opto-electronic butterfly interconnection structure for completing MSD addition and multiplication

法器来完成分组相加运算,既节省了成本又不影响运算速度。我们设计出了能同时完成 9 位 M SD 并行加法运算和 3 位乘 4 位乘法运算的光电蝶互连结构。如图 3 所示。

做加法运算时只需在输入端同时输入两个 9 位数 ($X_0X_1\dots X_8$) 和 ($Y_0Y_1\dots Y_8$), 便可在输出端同时得到相加结果 ($Z_0Z_1\dots Z_9$)。做乘法运算时要首先将 9 位加法器分成二个 4 位加法器。方法是将 X_4, Y_4 都输入 0 值, 则加法器 A 和加法器 B 是完全相同的二个 4 位加法器。这二个加法器的运算结果可通过控制系统被反馈回原输入端, 进行下一次较高位数的加法运算。图 4 所示的框图结构即为实现加/减、乘运算的反馈系统。是做相加运算还是做相乘运算, 以及做相乘运算时是否需将第一次的相加结果反馈回输入端再进行一次相加, 都可由控制系统来控制。

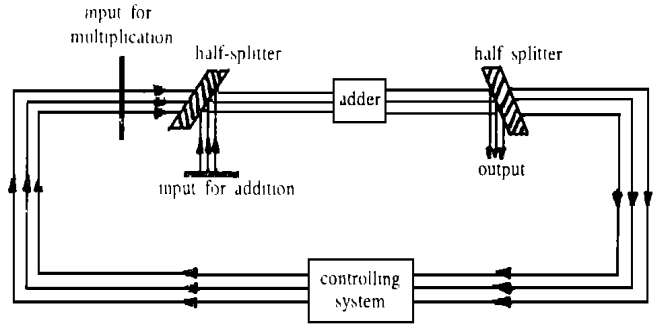


Fig 4 Feedback system for multiplication

3 MSD 收敛除法运算

在 MSD 除法运算中, 比较适用的是对被除数进行迭代收敛。它有以下三个特点: (1) 在迭代过程中不存在二进制算法中对余数大小及正负的判断和处理过程, 只要求满足精度要求。(2) 可有效地同 MSD 相加和相乘运算相结合。(3) 可充分利用光学并行性。因此可将这种 MSD 除法运算与前面讨论过的光电并行 MSD 加/减运算和快速乘法运算相结合, 构成一个能完成多种功能的运算体系。

我们对参考文献[3]中图 6 所示的迭代过程进行了计算机模拟, 结果如图 5 所示。

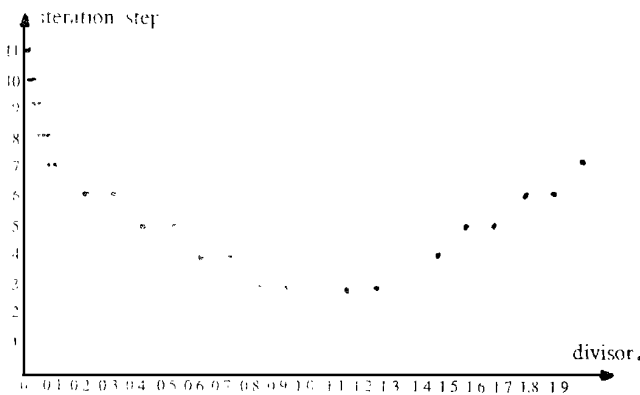


Table 1. Rule for choosing MSD number's decimal point

.111	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
.110	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
.111	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
.101	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
.100	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
.101	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
.111	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
.110	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
1.111	.	T	0	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
1.111	.	T	1	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
1.111	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T

Fig 5 Diagram for iteration step changing with divisor

可见,若除数所对应的十进制数值在 $[0.09, 1]$ 这样一个范围内,则这时最多只需 7 次迭代运算便可使除数趋近于 1。经仔细研究发现,对于任意一个 M_{SD} 数,当按表 1 所示规则对其取小数点后,都可使其所对应的十进制数值位于 $[0.09, 1]$ 范围内,从而使迭代次数尽可能的少,有利于快速除法运算的实现。

表 1 中的“X”代表任意一个 M_{SD} 值。进行 M_{SD} 除法运算时,只需考虑分母为正数,则有效数字的最高位一定是 1。实际上表 1 包括了分母所能取的各种 M_{SD} 值。表 1 说明,当最高位的“1”后面跟随若干个“1”时,小数点符号应点在最后一个“1”的前面,而这个“1”的后面可能是“0”、“1”或没有数。对其它情况,可一律将小数点符号放在最前面。当然,除数按上述规则化成小数后,被除数也应发生相应变化,以确保商值不变。变化规律与十进制相同,如

$$Q = \frac{X}{Y} = \frac{(10)_{M_{SD}}}{(11111)_{M_{SD}}} = \frac{(0\ 10)_{M_{SD}}}{(11\ 11)_{M_{SD}}}$$

根据收敛除法运算的特点^[3],我们设计出如图 6 所示的光电蝶互连系统。该系统由一个 M_{SD} 加法器和二个 M_{SD} 乘法器组成。

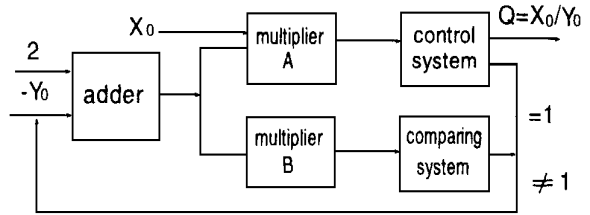


Fig 6 Architecture for M_{SD} convergence division

下面给出一个收敛除法的运算实例。

例: 被除数 $X = (0\ \bar{1}0)_{M_{SD}}$
 $= (-\ 0.5)_{10}$

除数 $Y = (0.11)_{M_{SD}} = (0.75)_{10}$

Iteration step	Multiplicative factor	Accumulated denominator	Accumulated numerator
$i = 0$	$m_0 = 2 - Y_0$ $(1.01)_{sd} = (1.25)_{10}$	$Y_1 = Y_0 * m_0$ $(1.0001)_{sd} = (0.9375)_{10}$	$X_1 = X_0 * m_0$ $(0.1110)_{sd} = (-\ 0.625)_{10}$
$i = 1$	$m_1 = 2 - Y_0 * m_0$ $(1.0011)_{sd}$	$Y_2 = Y_0 * m_0 * m_1$ $(11.0000001)_{sd}$	$X_2 = X_0 * m_0 * m_1$ $(1.11101110)_{sd}$
$i = 2$	$m_2 = 2 - Y_0 * m_0 * m_1$ $(11.0000001)_{sd}$	$Y_3 = Y_0 * m_0 * m_1 * m_2$ $(11.0000000000000001)_{sd}$	$X_3 = X_0 * m_0 * m_1 * m_2$ $Q = (1.1110111011111111)_{sd}$ $= (1.00390625)_{10}$
		$Y_3 = 1$	$= (-\ 0.6666...)_{10}$

由此可见,只需 3 次迭代,便可使分母 Y_3 趋于 1,从而得到商值 $Q = X/Y = X_3/Y_3$ $X_3 = (-\ 0.6666)_{10}$

4 结 束 语

本文在完成光电并行 M_{SD} 加/减运算蝶互连网络结构的基础上,对 M_{SD} 快速乘/除法运算进行了进一步的研究和讨论,建立起光电并行加/减运算器,乘法器和除法器的多层蝶互连结构,开辟了一条数字光计算研究的新的有效途径。

参 考 文 献

- 1 Avizienis A. Signed-digit number representations for fast parallel arithmetic. *IRE Trans on Elec Comp*, 1961, EC- 10(3): 389~ 400
- 2 陈其翔. 101 三进制制. *数学通报*, 1958, 3: 4~ 7
- 3 王纳新等. 用光电蝶互连方法实现并行数字运算. *计算机研究与发展*, 1993, 8: 61~ 64
- 4 WANG Na-Xin et al. Optoelectronic butterfly interconnection implementation of an n-bit parallel full addition and subtraction. *Chinese Journal of Lasers*, 1995, B4(6): 501~ 508

Study for High-Speed Multiplication and Division in Digital Parallel Optoelectronic Computation

WANG Na-Xin, SHUN De-Gui, WENG Zhao-Heng
(*Changchun Institute of Optics and Fine Mechanics,
Chinese Academy of Sciences, Changchun 130022*)

Abstract

According to MSD (modified signed-digit) algorithms, we build optoelectronic butterfly interconnection architecture for implementing high-speed multiplication and division. And the convergence of fast division is also studied in this paper.

Key words: MSD algorithms, Optoelectronic butterfly interconnection, High-speed multiplication and division

王纳新 女, 1968年11月生。1990年于哈尔滨科技大学技术物理系获得学士学位, 同年进入中国科学院长春光学精密机械研究所应用光学国家重点实验室攻读硕士学位, 1993年获中国科学院院长奖学金优秀奖。获得硕士学位后, 本人进入无锡轻工大学从事教学与研究。主要研究方向有: 图像信息处理, 光学互连网络, 印刷色彩与色度学等。至今为止, 已在各类刊物上发表文章近20篇。