

# 空间应用固态图像存储器数据的纠错问题

曾晓洋 郝志航

(中国科学院长春光学精密机械研究所 长春 130022)

**摘 要** 从空间遥感数字图像信息的存储载体——半导体固态图像存储器出发,讨论了空间应用时存储器的数据错误类型及其对策。针对半导体存储器的各种组织形式,给出了选择纠错码的原则,还分析了不同的纠错码的纠错性能。并且重点论述了适合于空间应用中的存储器纠错码——RS 纠错码:较详细地给出了RS 码的结构、性质及其编、译码的基本过程和RS 码译码算法的最新进展情况,并且介绍了与RS 码结合紧密的数据交织技术及解交织技术。讨论了RS 纠错码在目前空间应用固态图像存储器中纠突发性错误和随机性错误时的特殊能力。

**关键词** 固态图像存储器 纠错码 RS 纠错码 突发性错误

**中图分类号** TN941.1 **文献标识码** A

## 1 引 言

由于空间遥感数字图像的精度越来越高和遥感成像的时间越来越长,这样图像的数据量就越来越大。遥感数字图像的数据量之大,为图像处理系统带来了许多问题。图像数据存储时的完整性,便是其中一个关键性问题。为了满足海量的高精度遥感数字图像数据存储的需要,高可靠性的大容量图像数据存储器技术,特别是具有高纠错能力的存储器系统,一直是世界各航天航空工业发达国家不断探索与研究的领域。

半导体固态存储器具有体积小、质量轻、容量大、传输速率高的优良性能,它是具有很好应用前景的最新数据存储技术,它已成为未来空间图像数据存储领域的技术发展的主要方向之一<sup>[1]</sup>。半导体固态存储方法是以具有高可靠性的高速、高存储密度的半导体存储器件的发展为基础的。应用于大容量固态存储器的存储器件主要有动态随机存取存储器(DRAM),静态随机存取存储器(SRAM),快闪存储器(Flash Memory)。

DRAM 集成度高、功耗低,适于构成存储容量非常大的或存储精度要求高的图像存储器<sup>[4]</sup>。但采用 DRAM 构成图像存储器,系统设计很复杂。一个复杂的存储器系统工作于空间环境时,则必须考虑其可靠性。影响存储器系统可靠性的重要因素便有:空间环境对存储体的影响和非常大的数据存储量,这样即使采用高可靠性的器件仍然避免不了发生错误。半导体存储器中的数据错误必然给系统的可靠性和图像数据的完整性带来不利影响。这样在空间应用中,空间遥感数字图像数据的检错和纠错是应该也必须解决的问题。

## 2 存储器中的错误类型及其对策

半导体存储器中的错误大致可分为“硬”错误和“软”错误。“硬”错误由吸附性错误或永久性的物理性损坏(对于存储器器件)而导致;“软”错误是一种暂态错误或 $\alpha$ 粒子诱导的错误,它能在下一次存储器操作中被擦除。这样,凡是在下一个新的写周期中保留其错误值的错误均被称为“硬”错误<sup>[10][2]</sup>。

近年来,纠错码(Error-Correcting-Codes, 简称为 ECCs)已经广泛应用于存储器系统中,以增强存储器系统的可靠性和数据的完整性<sup>[4~6]</sup>。由于半导体存储器的发展方向是日益趋于更高的芯片密度和更大的存储容量,纠错码便成了一种保证存储器系统工作时高可靠性的手段。

运用纠错码可使一个存储器系统获得更高的容错能力。例如恰当地使用纠错码,设计好的存储器系统的“错误”间隔平均时间便会很大程度地增加,从而提高了系统的工作性能。从这种情况来说,只有当错误数量超过了纠错码的纠错能力时,系统才会有错误发生。同样为了保证和优化系统数据的完整性,纠错码应该具有检测大多数不可纠正错误的能力。

## 3 存储器的组织形式与纠错码的选择

半导体存储器有两种组织形式<sup>[10]</sup>:一种是所谓的 1 位/片(1 bit-per-chip)结构;一种是所谓的 b 位/片(b bit-per-chip)结构。对于 1 位/片结构,一个码字中的所有位均存储在不同的芯片中,一芯片中的任何形式的失效最多只能导致码字的一位被破坏。随着大规模和超大规模集成存储阵列技术的出现,经常要求存储器封装成 b 位/片结构形式。这样,一芯片的失效便会导致芯片中出现多位错误(Multi-bit-Error)或字节错误(Byte-Error)。即使存储体是封装成 1 位/片结构形式,但由于板级支撑模块也是封装成 b 位/片结构形式,于是支撑模块的失效也会引起字节错误。

新的半导体存储器具有容量大、速度快、质量轻等特点。但为提高其可靠性,多种纠错码已经应用于存储器系统中。一种最优的纠错码应该考虑以下几个问题<sup>[6]</sup>:(1)速度,相对于可获得的周期时间而言,纠错时间必须只占其中很小的一部分。(2)系统的兼容性,纠错码必须与存储器系统组织结构相兼容。(3)编-译码器的可靠性,由于并行和高速的要求,导致编-译码器的设计复杂,从而带来一系列的可靠性问题,这些问题必须在设计阶段解决。(4)成本,由于纠错单元加入存储器系统,就必然增加数据的冗余量。这些对计算时间和硬件开销均会有影响。

对于以 1 位/片结构组织的存储器系统,纠单错-检双错码(SEC-DED)十分有效。只要错

误不是集中排列在同一码字中, 使用这种 SEC-DED 码, 存储器中的错误是可以纠正的。

对于以  $b$  位/片结构组织的存储器系统, 它是一种字节操作存储器(Byte/BOM) 的结构。这种 Byte/BOM 结构使其具有特别的错误模式<sup>[6]</sup>: 一单芯片上的失效(包括存储单元或传感放大器), 将影响字节中的一位; 但是相关联电路的失效将会改变字节里的所有位。于是以 Byte/BOM 方式组织的存储器系统, 同时具有随机的字位错误(Bit-Error) 和随机的字节错误(Byte-Error), 后者是突发性错误(Burst-Error) 的一种特定情形。对付这样的一种失效模式, 我们就应该使用这样的一种纠错码: 它不但能够纠正随机错误, 也能够纠正突发性错误, 同时还应该能适应高速实现。

### 4 应用于存储器系统的纠错码概述

存储器的组织结构、存储单元的失效模式, 将决定系统中错误的统计特性, 进而决定了纠错码的选择。存储器芯片失效时产生的错误数目主要决定于芯片失效的类型。例如: 一芯片单元失效可能导致一个错误, 然而一行芯片单元或整个芯片失效一般会导致更多的错误。故在一般应用中, 存储器芯片阵列通常按一定方式组织, 以使芯片失效产生的错误能由纠错码有效地纠正过来。

早期应用于存储器系统的纠错码是一类“纠单错-检双错”(Single-Error-Correcting-Double-Error-Detecting, 简称为 SEC-DED) 码<sup>[5]</sup>。一个 SEC-DED 码能纠正一个码字中的单个错误和检测出两个错误, 这种检测双错的能力可用于保证数据不被损失。另有一类 Odd-Weight-Column 码, 具有与前述 SEC-DED 码同样的编码效率。这种码相对于前者来说, 在译码逻辑上的速度、开锁和可靠性等方面均有提高。这种码曾经被广泛应用于存储器系统上。对 SEC-DED 码来说, 最适合于 1 位/片的组织结构。对于该种结构, 一个码字的每一位均被保存在不同的芯片中, 这样任何类型的芯片失效产生时, 在一个码字中至多只有一位。只要错误不在同一码字中排成行, 存储器中的多个错误就可被有效地纠正。

由于成本或其它诸如系统集成度及功耗限制等原因, 在许多应用中, 存储器阵列不能按 1 位/片方式组织, 随着芯片密度的增加, 也很难设计这种存储器系统。而在现代半导体存储器技术中, 存储体阵列模块一般以一种多位/片的结构形式封装, 通常每模块均有纠错码(ECCs) 码字的好几位。如图(1)所示。

由于这种多位/片的结构类型, 一个板级支撑模块的失效将会导致字节错误, 该字节错误的尺寸大小是该模块送至码字的字位数目。在这种配置类型中, 纠错码就必须具有检测字节错误的能

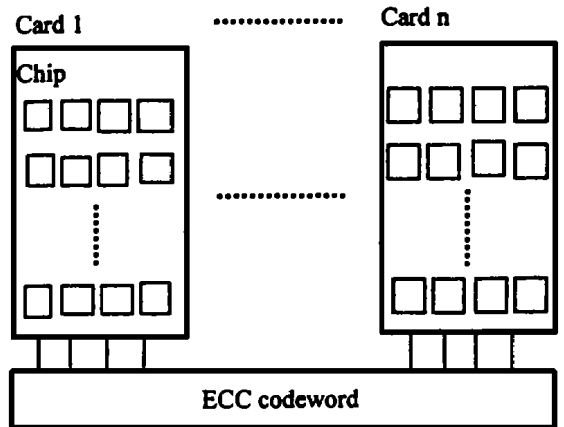


Fig. 1 Memory module array of 4 bits per chip

力,以保证存储器中数据的完整性<sup>[6]</sup>。有一类叫作“纠单错-检双错-检单字节错”(Single-Error-Correcting-Double-Error-Detecting-Single-Byte-Error-Detecting, 简称为 SEC-DED-SBD) 码可以检测所有单字节错误<sup>[10]</sup>。

对多位/片方式的存储器系统类型来说,一种“纠单字节错-检双字节错”(Single-Byte-Error-Correcting-Double-Byte-Error-Detecting, 简称为 SBC-DBD) 码在错误检测和纠正方面将会更加有效<sup>[10~11]</sup>。随着存储器系统容量的增加,系统的可靠性一般会有降低的趋势。为了保证同样级别的可靠性,另有一种“纠双字节错-检三字节错”(Double-Byte-Error-Correcting-Triple-Byte-Error-Detecting, 简称为 DBEC-TBED) 码可以使用<sup>[8], [9]</sup>。然而相对于 SBC-DBD 码来说,这种类型码需要更多数量的检验位,于是实现错误检测和纠正功能的硬件更加复杂。

综上所述,在存储器应用中,通常有四种类型的纠错码适合于设计应用。这四种类型的纠错码分别是: SEC-DED 码, SEC-DED-SBD 码, SBC-DBD 码和 DBEC-TBED 码。

## 5 RS 码在存储器数据纠错中的应用

如前所述,现在广泛应用的存储器系统是以  $b$  位/片结构组织的。它是一种字节操作存储器(Byte/BOM)的结构。而以 Byte/BOM 方式组织的存储器系统,同时具有随机的字位错误(Bit-Error)和随机的字节错误(Byte-Error),后者是突发性错误(Burst-Error)的一种特定情形。则我们使用的纠错码不但应能够纠正一般的随机错误,也应能够纠正突发性错误<sup>[10]</sup>。

Reed-Solomon 码(简称为 RS 码)属于 BCH 码,近年来它已被广泛应用于通信和存储器系统。由于它是一种不但能够纠正一般的随机错误,也能够纠正突发性错误的码,故 RS 码被广泛用于空间应用固态图像存储器系统中。

### 5.1 RS 码的结构及其编译码

RS 码是一类特殊形式的循环码,它为  $q$  进制的 BCH 码的特殊子集,其码字的符号取值域与其生成多项式  $g(X)$  的根所在域相同,均在  $GF(q^m)$  上,对于 1 个能纠正  $t$  个错误的 RS 码  $(n, k)$  来说,其生成多项式为<sup>[2]</sup>:

$$g(X) = (x-\alpha)(x-\alpha^2)\dots(x-\alpha^{2t}) \quad (1)$$

其中  $\alpha$  为  $GF(q)$  上的本原元素。RS 码的参数如下:  $n = q-1, k = n-2t, d_{\min} = 2t + 1$ 。

RS 码具有以下重要的性质<sup>[3]</sup>: (1) 最小距离  $d_{\min}$  与设计距离  $d$  总是相等的,故 RS 码是一种 MDS(最大距离可分)码。(2) 在其码字内的任何  $k$  个位置都可用做信息集合,即任何一个  $GF(q)$  上的  $(n, k)$  RS 码,对任何  $k$  个符号位置,将只有一个与这个位置内  $q^k$  种符号组合之一相对的码字。(3) 在所有  $(n, n-2t)$  的线性分组码中,没有一个码的最小汉明距离比 RS 码更大,故 RS 码的纠错能力是最佳的。

在时域编码时<sup>[2]</sup>,首先确定  $GF(q)$  上一个本原元素  $\alpha$ ,构成生成多项式如(1)式。待编码的信息矢量为:  $(m_{n-2t+1}, m_{n-2t}, \dots, m_0)$ ,构成信息多项式:

$$m(X) = m_{n-2t+1}X^{n-2t+1} + m_{n-2t}X^{n-2t} + \dots + m_1X + m_0 \quad (2)$$

把  $X^{2t} \cdot m(X)$  除以  $g(X)$ ,所得余式是一个  $(2t-1)$  次多项式,即:

$$r(X) = X^{2t}m(X) \bmod g(X) \quad (3)$$

于是  $C(X) = X^{2t} \cdot m(X) + r(X)$  能被  $g(X)$  除尽,故是一个码多项式。在这样的 RS 码中,信息

位集中在码字的高  $(n-2t)$  位, 这种码为系统 RS 码。这种编码方法容易用带有反馈的移位寄存器电路实现。

对于译码<sup>[2]</sup>, 设发送的码多项式为  $C(X)$ , 接收码多项式为  $R(X)$ , 存储器系统错误模式多项式为  $E(X)$ 。则:

$$R(X) = C(X) + E(X) \quad (4)$$

又设码的纠错能力为  $t$ , 存储器产生的实际错误个数为  $e < t$ , 故而在  $E(X)$  中只有  $e$  项不为 0, 假定这  $e$  项为  $Y_1X^{l_1}, Y_2X^{l_2}, \dots, Y_eX^{l_e}$ , 其它项为 0, 则有:

$$E(X) = Y_1X^{l_1} + Y_2X^{l_2} + \dots + Y_eX^{l_e} \quad (5)$$

(5) 式中  $X^{l_1}, X^{l_2}, \dots, X^{l_e}$  称为错误位置数, 而  $l_1, l_2, \dots, l_e$  为错误位置,  $Y_1, Y_2, \dots, Y_e$  为相应位置上的错误值。

译码的任务便是从接收码多项式  $R(X)$  求出错误位置数  $X^{l_1}, X^{l_2}, \dots, X^{l_e}$ , 和相应的错误值  $Y_1, Y_2, \dots, Y_e$ 。再从  $R(X)$  中减去  $E(X)$ , 则得码字  $C(X)$  的估值  $\bar{C}(X)$ , 从而完成译码。

## 5.2 适用于空间大容量图像数据存储器系统 RS 码的译码算法研究进展

就纠错能力和数据冗余度方面来说, RS 码用于纠多字节差错是十分有效的。但其相对长的译码时间是在高性能的空间应用大容量存储器系统设计中必须考虑的主要问题之一。

RS 码的关键在于译码算法的选择, 而译码算法的研究主要集中在差错定位多项式和差错位置数算法上。通过使用差错定位多项式的概念提供了解决译码问题的基本工具。为适应高速纠错和便于 VLSI 实现的需要, 人们不断寻找新的 RS 码算法, 特别是 RS 码的译码算法一直是研究的热点。近来的研究资料表明, 以下几种算法是比较适合应用于空间大容量图像数据存储器系统, 以用作对图像数据的高速纠错。

(1) 时域网格状 RS 译码器<sup>[12]</sup>。通常, 用于寻找差错定位多项式和差错值的时域译码算法分三个步骤, 各个步骤的操作不同, 但还是有一些相似点, 一共需  $n$  个迭代步骤来完成译码。而该算法的主要目标便是将时域译码三个步骤组合起来而得到一个新算法。使其在每个迭代过程中具有相同的操作, 迭代总次数还为  $n$ 。步骤一用于计算时域置疑定位矢量。步骤二应用 Berlekamp-Massey 算法寻找差错定位矢量。步骤三用于计算差错值矢量。这种新算法使得译码器的各网状结构类似, 设计非常简单, 从而使译码器很容易地在单片的 VLSI 芯片上实现。

(2) 可纠差错和置疑的修正 BM (Berlekamp-Massey) 译码算法<sup>[14]</sup>。该算法提出了一种无需转置运算的 BM 算法来简化 RS 码。这种无需转置运算的 BM 算法能同时找到差错和置疑, 这种算法的基本思想便是用 Forney 伴随式替代 BM 算法的初始化条件。使用这项改进的技术, 可使能纠差错和置疑的时域 RS 译码器较以前的方法大为简化。

(3) 可纠多字节差错的“动态(On-The-Fly)”译码器<sup>[15]</sup>。在“动态”译码过程中, 在前差错值和位置没有其它差错位置(还待确定)明确信息的情况下, 仍能通过一种周期性的顺序计算出来。这种方法扩展 Chien 氏搜索法, 结果是: 与 Chien 氏搜索周期同步, 可以开始传输已经译码的数据符号。这样, 存取时间不受计算所有差错位置和值的时间的影响。该方法简化了硬件。特别的是: Chien 氏搜索结果不需存贮, 一套硬件系统可以计算所有差错的位置和值, 并且能在 Chien 氏搜索过程的适当周期纠正它们。“动态”译码器的其它优点还有: 消除了计算差错定位方程式中的所有除法操作; 提供用于差错值的一种方便的封闭表达式, 这种新的表达式需要更少数量的操作, 并且在计算差错值时, 只需一次除法操作; 在较少差错的特殊情况下, 通过硬

件系统一简单部分按惯常顺序完成;不但译码器设计,而且译码方程都拥有一嵌套形式,这样允许对于较少差错处理较少伴随式,同样的硬件系统可用于多种应用中。

(4)在近年来,也发展了一种特别的RS码的译码算法<sup>[8~9]</sup>。该算法不需使用迭代算法求出差错定位多项式,而是由计算的伴随式(Syndrom)直接求差错位置数和错误值。从而很大程度上减少了译码时间,有利于高速操作。但该方法只是对DBEC-TBED RS码适应。

### 5.3 数据交织(Data-Interleaving)技术与RS码

RS码在实际应用中往往要结合数据交织(Data-Interleaving)技术。这是因为,许多情况下存储器系统的错误是突发性的,也就是说发生错误时,往往具有很强的相关性,甚至连续一片数据都出错误。这时由于错误集中在一起,常常会超过纠错码的纠错能力。为解决这一情况,便产生了数据交织与解交织技术。这就是在发送端加数据交织器,在数据接收端加解交织器,使得存储器系统的突发性错误分散开来。把突发性错误变成随机性错误。这样就可以充分利用纠错编码的作用。

数据交织技术与RS码的联合运用可以极大地提高其纠突发性错误和随机性错误的的能力,其纠错性能优于其它线性分组码。

## 6 结 论

依据对存储器系统数据误码类型的分析,完成纠错码的选择,研究所选纠错码的编、译码算法,选择其中快速有效的算法。以保证在恶劣空间环境中的空间遥感数字图像数据的完整性。而高性能的存储器系统纠错码的理论与实验研究,有助于我们选择更适合于恶劣空间环境中的大容量固态图像数据存储器的纠错码;有助于选择纠错码中快速、有效的编译码算法,实现高速编、译码;有助于纠错码编译码的硬件实现。

具有高纠错能力的存储器系统能为空间探测与遥感等科学研究工作提供强有力的手段。这种高的纠错能力能为存储器系统适应恶劣的空间环境提供保障,提高了存储器系统工作时的可靠性,有力地保证了高精度遥感数字图像海量数据存储时的完整性,从而为地面提供清晰可靠的数字图像。

### 参 考 文 献

- 1 王晓东. 空间应用的大容量固态图像存储器的研究:[ 硕士论文]. 长春: 中国科学院长春光学精密机械研究所, 1998
- 2 张鸣瑞, 邹世开. 编码理论. 北京: 北京航空航天大学出版社: 1990
- 3 黎洪松. 数字视频技术及其应用. 北京: 清华大学出版社. 1997
- 4 Strauss Karl F, Stockton Grant J. The Cassini solid-state recorder: a high-capacity, radiation-tolerant, high-performance unit. Proc SPIE, 1996, 2803: 259 ~ 269
- 5 Kaneda Shigeo, Fujiwara Eiji. Single byte error correcting double byte error detecting codes for memory systems. IEEE Trans On Computer, 1982, C-31(7): 596 ~ 602
- 6 Chen Chin-Long. Error-correcting codes with byte error-detecting capability. IEEE Trans On Computer, 1983, C-32(7): 615 ~ 621
- 7 Dao Tich T. SEC-DED non-binary code for fault-tolerant byte-organized memory implemented with quaternary logic. IEEE Trans. On Computer, 1981, C-30(9): 662 ~ 666

- 8 Deng Robert H, Costello Jr Daniel J. Decoding of DBEC-TBED Reed-Solomon Codes. IEEE Trans. On Computer, 1987, C-36(11): 1359~1363
- 9 Koksai F, Zeynep, Yucel Melek D. Comments Decoding of DBEC-TBED Reed-Solomon Codes. IEEE Trans. On Computer, 1992, 41(2): 244~247
- 10 Chen C L. Error-correcting codes for semi-conductor memory applications: A state of the art review. IBM J RES Develop, 1984, 28(2): 124~133
- 11 Chen C L. Byte-oriented error-correcting codes for semiconductor memory systems. IEEE Trans On Computer, 1986, C-35(7): 646~648
- 12 Shayan Yousef R, Tho Le-Ngoc. A cellular structure for a versatile Reed-Solomon decoder. IEEE Trans On Computer, 1997, 46(1): 80~85
- 13 Daraiseh Abdel-Ghani A. Decoder error and failure probabilities for Reed-Solomon codes: decodable vector method. IEEE Trans On Communications, 1998, 46(7): 857~859
- 14 Truong Trieu-Kien, Hung King-Chu. Inversionless decoding of both errors and erasures of Reed-Solomon code. IEEE Trans On Communications, 1998, 46(8): 973~976
- 15 Patel Arvind M. On-the-fly decoder for mutiple byte errors. IBM J RES Develop, 1986, 30(3): 259~269
- 16 Iwamura Keichi. A design of Reed-Solomon decoder with systolic-array structure. IEEE Trans On Computer, 1995, 44(1): 118~122

## Error-Correcting Problem of Solid State Image Data Recorder Applied in Space

ZENG Xiao-Yang, Hao Zhi-Hang

(*Changchun Institute of Optics and Fine Mechanics,*  
*Chinese Academy of Sciences, Changchun 130022* )

### Abstract

Based on the remote sensing digital image information carrier-semiconductor solid-state image data recorder, the data error types and their countermeasure were analyzed. According to the organization of semiconductor recorder, the principle of selecting the error-correcting codes was presented and the performance of the error-correcting codes was analyzed. Because of its special ability in correcting the burst-error and random-error of semiconductor solid state image data recorder, the RS error-correcting codes' organization and performance were discussed in detail. Further more, the procedure of RS codes' encoding and decoding were also under ours discussion. The progresses of RS code's decoding algorithm are also discussed. In the end, we present the technology of data-interleaving.

**Key Words:** Solid-state image data recorder, Error-correcting code, RS error-correcting code, Burst-error

曾晓洋 男, 生于 1972 年 5 月。1996 年毕业于湘潭大学, 同年考入中国科学院长春光机所, 攻读机电控制及自动化专业硕士学位, 1998 年提前攻读博士学位。从事 EDA 及电子技术的研究工作, 感兴趣的领域有: 通信与存储系统纠错码的应用研究, 图像与信号数据处理技术的研究等, 已发表论文数篇。