

线阵 CCD 相机时序发生器 及其基于 ISP 技术的实现

曾晓洋, 阮锦, 陈祖康, 郝志航

(中国科学院长春光学精密机械与物理研究所, 吉林 长春 130021)

摘要: 简述了线阵 CCD 相机中 CCD 成象单元的时序发生器的功能: 产生焦平面组件和视频处理器所需的各种脉冲序列, 在 CCD 成象单元工作中起着时间上同步协调的作用。讨论了 CCD 时序发生器的组成原理及其工作过程。给出了它与 CCD 控制器的接口关系: 由 CCD 控制器给出的指令和数据予以控制。基于在系统可编程(ISP)技术, 利用相应的软件 Expert System 对时序发生器进行设计、编译, 并且进行了功能仿真, 最后采用 ispLSI 器件实现了该方案。结果表明: 系统的集成度、抗干扰能力提高了, 实现了 CCD 相机工作时的可靠性、稳定性, 以及低功耗; 同时也使设计与调试周期缩短至小时量级。

关键词: CCD 相机; 时序发生器; 在系统可编程(ISP); ispLSI 器

中图分类号: TN941.1 文献标识码: A

1 引言

空间相机按信息接收方式分为胶片型和光电型。线阵 CCD 相机就属于后者, 线阵 CCD 相机是当今世界许多国家竞相研制的方向。我们也正在开展这一领域的研究工作。在线阵 CCD 相机中, CCD 成象单元是它的重要组成部分, 而在 CCD 成象单元中, 最为重要的是 CCD 的选择和相应的时序电路、驱动电路和视频处理电路的设计。又由于是空间应用, 电子系统的集成度, CCD 相机电子线路长期工作的可靠性、稳定性, 以及功耗问题便是系统重要工作参数之一。CCD 成象单元中, 时序发生器是单元设计中的主要因素, 因为它直接关系到成象单元的集成度, 工作时的可靠性和稳定性。

2 CCD 时序发生器和与 CCD 控制器的接口关系

CCD 时序发生器产生焦平面组件和视频处理器所需的各种脉冲序列, 时序发生器在 CCD 成象单元工作中起着时间上同步协调的作用。它由 CCD 控制器给出的指令和数据予以控制。

CCD 控制器给出 CCD 成象单元工作所需的行转移周期选择信号, 级数选择信号、偏置选择信

号以及增益选择信号。控制指令和数据以串行数据的形式通过差分线驱动器传输到接口电路, 接口电路将 CCD 控制器的指令和参数送至时序发生器。时序发生器根据 CCD 控制器给出的指令和数据产生 CCD 焦平面组件和视频处理器所需要的脉冲信号: 行转移脉冲、移位读出脉冲、成象区脉冲、复位脉冲、相关双采样脉冲、A/D 转换器采样脉冲等。

为了提高单元工作时的可靠性, 在 CCD 控制器没有发送控制指令和数据时, 时序发生器将按初始设置参数工作。

3 时序发生器的原理组成和工作过程分析

CCD 时序发生器的原理性框图如图(1)所示。

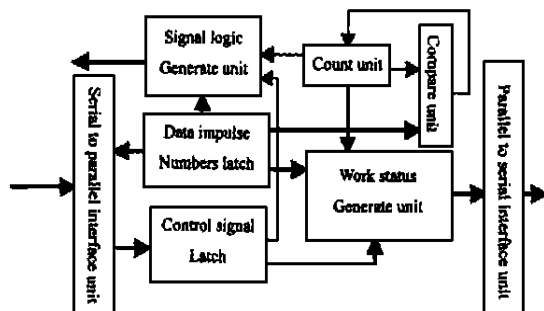


Fig. 1 Principle diagram of the timing generator

由图(1)可以看出,产生 CCD 的时序、相关双采样的时序、A/D 的采样时序电路,我们设计了一个 16 位的移位寄存器构成的串转并接口,接收由控制器来的串行数据;一个 12 位和一个三位锁存器用来锁存每行数据脉冲数和控制信号,一片 12 位同步计数器;一片 12 位比较器以及一片 10 位并转串接口等构成。

CCD 时序发生器工作过程如下:

CCD 控制器通过串口给出三个字,第一个字的高两位为地址、中间两位为 0、后 12 位为每行数据脉冲控制量;第二个字的高两位也为地址、中间三位为 0、第 11、10、9 位为级数控制量、后 8 位为增益控制量;第三个字的前两位也为地址、中间 6 位为 0、后 8 位为偏置控制量。

CCD 时序发生器电路中的 16 位移位寄存器接收控制器给出的上述数据或按照事先设置好的数据。由 16 位移位寄存器的高两位作为地址,来决定时序发生器的工作状态。

当寄存器的高两位为 10 时,12 位锁存器将锁存每行数据脉冲数,否则不锁存。将锁存的数据与同步计数器产生的数据同时送到 12 比较器中进行比较,当二者相等时,送出一个清零信号,用来使同步计数器清零。同步计数器通过一定的逻辑关系产生 CI1—CI4、TCK、CIA、CIB 等信号,其波形图见图(3)。

当寄存器的高两位为 00 时,就将 9—11 位锁进三位锁存器中,它锁存的是 CCD 级数选择控制信号。而移位寄存器的低 8 位为增益选择信号,将移位寄存器的高两位和增益选择信号同时送到 10 位并转串移位寄存器中,然后送给视频信号处理器,其波形图见图(4)。

当寄存器的高两位为 01 时,它的低 8 位为偏置选择信号,将它们同时送到 10 位并转串移位寄存器中送给视频处理器,其波形图见图(5)。

由另一些触发器产生了视频处理器要求的信号如图(6)所示,它们是并行数据信号。

视频处理器接收到时序发生器给出的上述信号后,就可以通过高速相关双采样电路、黑电平调整电路和增益调整电路以及偏置调整电路,对预放器输出的 CCD 视频信号进行处理,最后通过高速 A/D 转换电路将模拟信号转变成为数字信号。

4 用 ispLSI 器件实现 CCD 时序发生器

4.1 ISP 技术及 ispLSI 器件

在系统可编程(In-System Programmability 缩写为 ISP)是指在用户自己设计的目标系统中或线路板上为重构逻辑而对逻辑器件进行编程或反复改写的的能力。ISP 是可编程逻辑器件领域的一种最先进的硬件技术:ISP 打破了传统可编程逻辑器件(PLD)的局限,使得硬件设计变得象软件一样易于修改,从而缩短了系统的调试周期,而且不需要编程器,更不需要编程高压。另外,ISP 能够使得人们在器件已经焊在电路板上的情况下对系统进行重构。

ispLSI 系列器件是将 ISP 技术与高性能高密度 pLSI 结构相结合的产物。它既有可编程逻辑器(PLD)的性能,又有现场可编程逻辑阵列(FPGA)的高密度和灵活性,其系统速度可达 135MHz,逻辑集成密度可达 1000 至 14000 门。我们选用 ispLSI 1032E 来设计 CCD 时序发生器。ispLSI 1032E 是一种高密度的可编程逻辑器件(简称 HDPLD),其系统速度最大为 90MHz,它由可编程宏逻辑单元组成,而每个宏逻辑单元既可以定义成组合逻辑,又可以定义成时序逻辑。它有 6000 个等效逻辑门,64 个通用 I/O 单元能定义成输入、输出、三态或双向端口,另外还有 4 个专用的时钟输入端。

我们利用与 ISP 技术相应的软件 ISP Expert System,它能够支持 ispLSI 器件的设计、编译和逻辑模拟,能够进行原理图输入和 ABEL 硬件描述语言(HDL)输入,并且还提供了功能模拟器和波形显示器。ISP Expert System 的混合式设计输入方式允许在同一器件的设计中同时采用原理图、高级语言、真值表和状态机输入方式,从而丰富了设计输入。

4.2 基于 ispLSI1032E 的 CCD 时序发生器的设计与仿真

使用 ispLSI1032E 器件设计 CCD 时序发生器时,逻辑设计流程包括下列步骤:设计输入、设计编译、片内布线布局、功能与时序仿真、器件编程等。流程如图(2)所示。

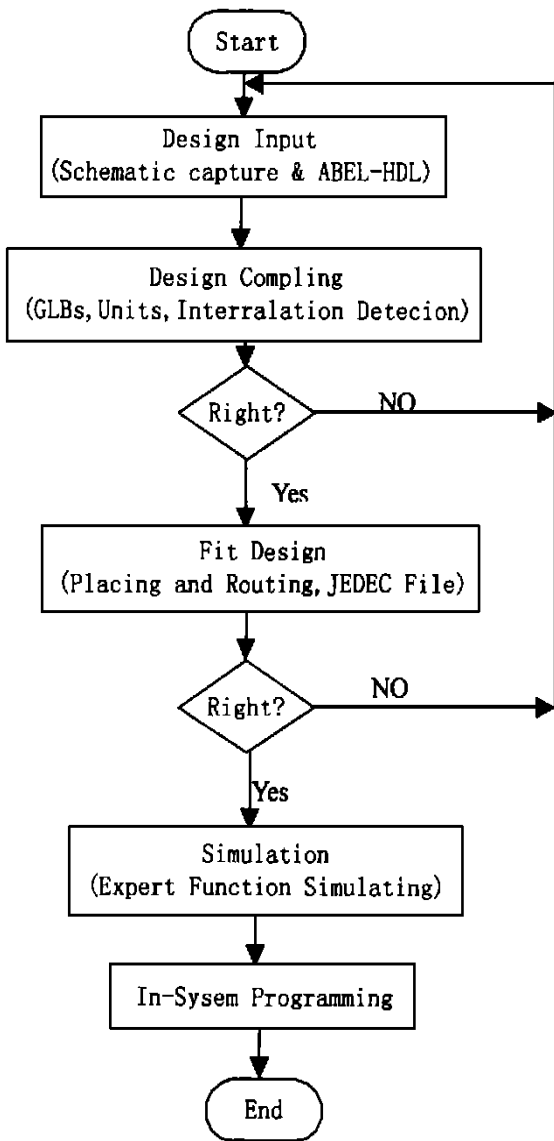


Fig. 2 Design flow diagram of the timing generator

(a) 设计输入

Expert 项目管理器的重要功能便是进行层次化操作, 它能简化层次化设计的操作, 使设计变

得简单明了和利于理解、修改, 实现了结构化的设计思想。首先按 CCD 时序发生器的原理将其分成高低几个逻辑关系层。利用模块化的设计方法, 对各部分逻辑关系使用原理图与硬件描述语言 (ABEL-HDL) 混合进行描述。

(b) 逻辑设计的编译

编译的过程即为逻辑设计的验证过程, 逻辑验证分两步: 先是对每个 GLB 和单元单独进行验证。所谓单元验证是仅对单个单元进行局部性检查, 主要针对语法检查及逻辑错误检查; 设计输入一旦完成, 下一步便是设计验证, 设计验证对事先未经校验的单元进行检验, 然后再检查设计中的互连关系。

(c) 片内布线布局

验证通过后即可进行布线与布局。布局与布线软件会四处移动 GLB 和单元, 以使得用户所输入的逻辑设计线路能在片内连通。根据我们设计的方便需要, 使用软件的管脚锁定功能而将一些信号连接在指定的引脚上。除端口锁定需人工干预外, 所有的布局和布线过程均是自动完成。由于芯片的功能通过集中布线区而获得优化, 布局布线的运行效率很高, 一般只需数秒钟 (取决于所使用机器)。

软件利用布通线来产生 JEDEC 文件, JEDEC 文件中含有器件编程所需的全部数据, 其文件名后缀为 .JED。熔丝图的产生也是自动的。软件设计的过程还会产生一个 PDS+ Fitter 报告, 该报告对芯片的资源利用情况, 逻辑设计的编译结果, 以及管脚指定等情况作出分析。

(d) 功能仿真

编制功能仿真程序, 对 CCD 时序发生器的原理图进行功能仿真。产生 CCD 时序发生器的各部分时序关系图如下:

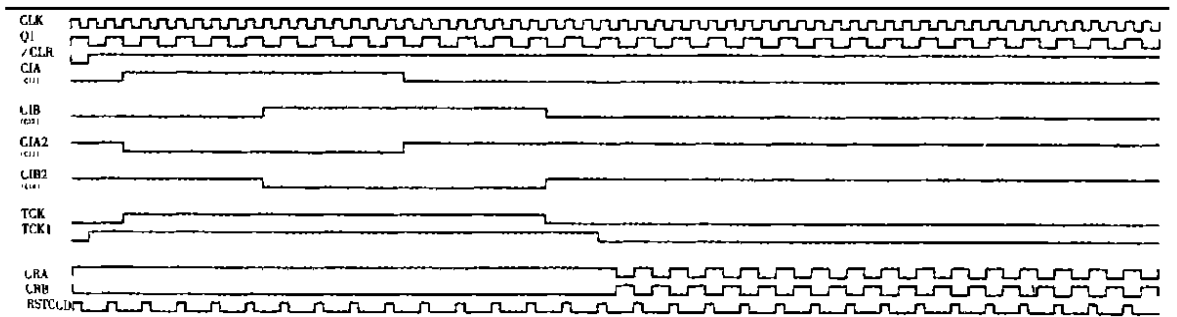


Fig. 3 Simulated timing of the timing generator (1)

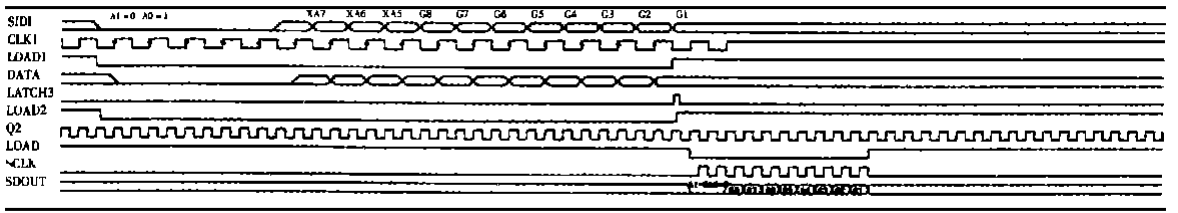


Fig. 4 Simulated timing of the timing generator (2)

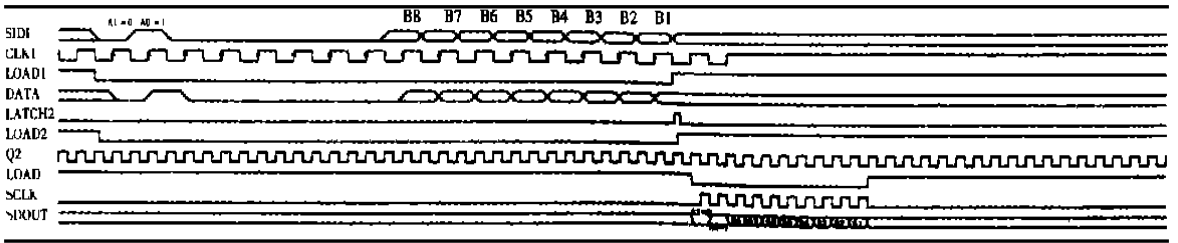


Fig. 5 Simulated timing of the timing generator (3)

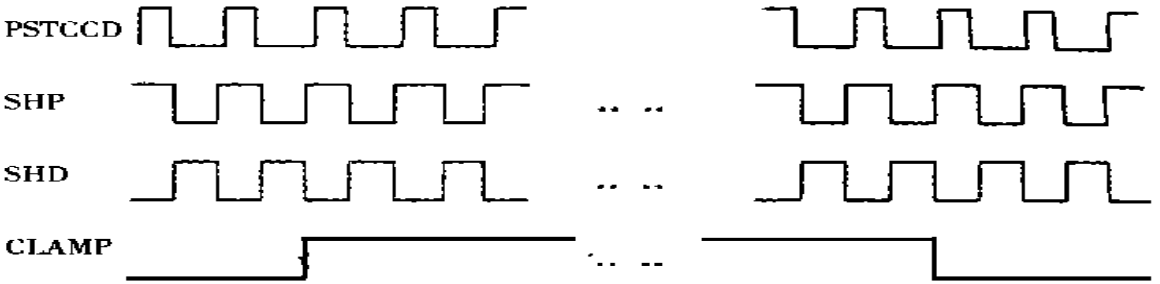


Fig. 6 Simulated timing of the timing generator (4)

(e) 器件编程

由于 ispLSI 器件是在系统可编程的, 对其进行编程只需一根 5 芯串行电缆, 通过它将数据从 PC 机的并行口送到目标系统的线路板上的芯片中去。

5 结 论

采用 ispLSI 器件设计 CCD 时序发生器, 使得电路由原来复杂的设计变成主要只用一片

ispLSI 1023E 来实现。独立的单元测试与系统联调结果均表明: 采用在系统可编程(ISP) 技术实现 CCD 时序发生器, 可使电路成倍简化, 从而提高了系统的集成度; 时序发生器抗干扰能力也增强了, 实现了 CCD 相机工作时的高可靠性、稳定性; 时序发生器的功耗也成倍降低; 同时还使设计与调试周期缩短至小时量级 (依赖于所用机器系统)。该设计方案为线阵 CCD 在空间的应用开拓了更加广阔的前景。

参考文献:

[1] 曾晓洋, 王晓东等. 基于 sipLSI 器件的 CCD 控制器的设计(一)[J]. 光学 精密工程, 1998, 6(4): 90 ~94.
 [2] 魏仲慧, 曾晓洋. 基于 sipLSI 器件的 CCD 控制器的设计(二)[J]. 光学 精密工程, 1998, 6(4): 95 ~100.
 [3] Lattice Semiconductor Corp. Lattice Semiconductor Data Book[M]. 1996.
 [4] Lattice Semiconductor Corp. ispDS+ User Manual[M]. 1996.
 [5] DALSA INC. TDI Line Scan Sensor Data Book[M]. 1994.

Timing generator of aerospace liner CCD camera and its implementation based on ISP technology

ZENG Xiao-yang, RUAN Jin, CHEN Zu-kang, HAO Zhi-hang

(*Changchun Institute of Optics, Fine Mechanics and Physics,
Chinese Academy of Sciences, Changchun 130021, China*)

Abstract: Briefly presented the Timing Generator's functions: it generates various kinds of impulse sequence for the focal plane unit and vision processor and acts as the synchronous coordinator for time in the CCD imaging unit. The CCD Timing Generator's architecture and its working process were analyzed. The interface relation between the CCD Timing Generator and CCD controller was also discussed. Based on the ISP technology and by utilizing the Expert soft system, the design process of the Timing Generator and the function simulation were presented. By using the ispLSI devices, the scheme was implemented in the end. The experiments indicate that the new method improved the integrated level of the system. The CCD camera system's high reliability, stability and low power supply are achieved. At the meantime, the period of design and experiment is sharply shorted.

Key words: CCD camera; CCD timing generator; ISP technology; ispLSI devices

作者简介: 曾晓洋(1972-), 男, 湖南衡阳人。1996年毕业于湘潭大学机械工程系, 获工学学士学位, 同年考入中国科学院长春光机所, 攻读机电控制及自动化专业硕士学位, 1998年提前攻读光学工程博士学位。从事EDA(电子设计自动化)及应用电子技术的研究工作, 感兴趣的研究领域有: 通信与存储系统检纠错码的应用研究, CCD图象数据处理技术的研究等, 已发表论文数篇。