

文章编号 1004-924X(2002)05-0462-04

用 SDRAM 在高速数据采集和存储系统中实现海量缓存

苏海冰, 吴钦章

(中国科学院光电技术研究所, 四川 成都 610209)

摘要: SDRAM 作为大容量存储器在高速数据处理系统中具有很大的应用价值。详细介绍了 SDRAM 的存储体结构、接口信号和操作方法, 结合实际系统设计给出了使用大规模集成电路 FPGA 实现的硬件接口, 并分析了操作 SDRAM 时的状态转移过程。

关键词: RAM; SDRAM; 接口状态机; 海量存储

中图分类号: TP391.4 **文献标识码:** A

1 引言

RAM(随机访问存储器)是一种在电子系统中应用广泛的器件,通常用于数据和程序的缓存。随着半导体工业的发展,从 RAM、DRAM(动态随机访问存储器)到 SDRAM(同步动态随机访问存储器),存储器的容量越来越大,速度越来越高。

在高速图像采集和存储系统中因涉及到图像数据输入设备和 PC 总线的配合,必然需要大的中间缓存,由于 SDRAM 具有的大容量、高速度和低价格的优势,使用 SDRAM 作为数据缓存是一种非常有效的方法。

由于 SDRAM 的物理存储结构和 SRAM 有较大差异,控制机制比较复杂,目前很少有通用微处理器具有和 SDRAM 的直接透明接口,限制了 SDRAM 的使用;但 SDRAM 随着桌面机的普及而应用得极其普遍,其价格、容量也以惊人的速度在更新。鉴于此情况,我们在高速图像采集和存储系统中使用了 SDRAM 作为主要数据缓冲存储器。

2 SDRAM 简介

生产 SDRAM 的厂商很多,但其内部结构大

同小异。它的同步接口和完全流水线的内部结构使其拥有极大的数据速率,目前 SDRAM 时钟速率已经有 133Mhz 以上的了;其单片容量也可以达到 128Mbit 以上,因此,可以说 SDRAM 的应用前景越来越看好。

SDRAM 的信号可以分成以下几类:

- 1) 控制信号:片选、同步时钟、时钟有效、行/列地址选择、读写选择、数据有效等;
- 2) 地址:行/列地址,分时复用,靠行/列地址选择控制;Bank 块地址;
- 3) 数据:双向信号,受数据有效信号控制。

在 SDRAM 内部以 BANK 为组织,由行、列地址共同寻址,这在很大程度上减少了地址位,提高器件的实用性,但问题是寻址变得复杂;由于 SDRAM 为了提高存储容量,采用硅片电容来存储信息,随着时间的推移,必须给电容重新充电才能保持电容里的数据信息,这就是所谓的“刷新”,它的存在也使得 SDRAM 的应用变得复杂,带来了应用难度。但 SDRAM 有一个很大的优点,那就是支持数据猝发传输方式,极大地提高了数据处理的速度。

SDRAM 内部的操作有很多种输入命令:模式寄存器设置、预充、激活、读/写、自动刷新、自我刷新、猝发突停、空操作等。根据这些输入命令,SDRAM 内部的状态会进行转移,这些状态可以

分为:空闲、模式寄存器设置、预充、激活、读/写、刷新、节电等。

3 接口电路设计

3.1 SDRAM 结构

在实际系统中使用 MICRON 公司生产的 SDRAM,型号为 MT48LC8M16A2,存储容量为 128Mbit,数据宽度为 16 位,工作时钟是 125Mhz,其结构如图 1 所示。

在这个结构中,SDRAM 内部由 4 个 Bank 组成,每个 Bank 又有 4096 行,每行拥有的字节数根据数据输出位数决定,在数据输出位数是 16 位时,每行有 512 列,也就是每行有 512 字节,一行的全部字节合称为“一页”。

CKE:时钟使能;CLK:系统同步时钟;CS:片选;RAS:行地址选择;CAS:列地址选择;WE:读/写使能;DQM:数据端口使能;A0~A11:行、列地址选择线;BA0,BA1:Bank 地址选择线;DQ0~DQ15:双向数据端口。

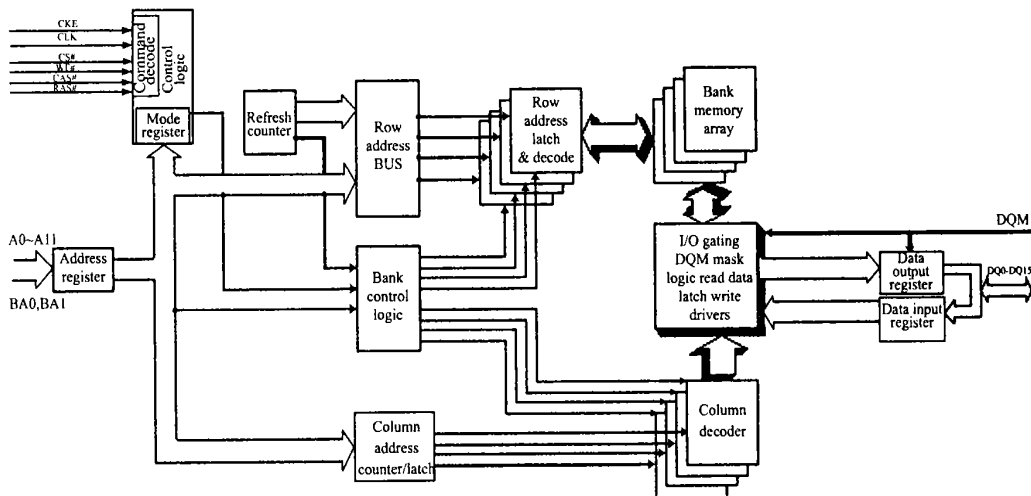


图 1 SDRAM 内部功能块框图
Fig. 1 SDRAM function block diagram.

SDRAM 的访问过程大致如下:在读/写访问之前,要先加载模式寄存器,之后通过预充命令使先前选中的行地址无效,再由激活命令、Bank 和行地址选中需要访问的数据所在的具体 Bank 块和行,而后通过读/写命令选中数据所在行的列地址,就能达到读/写具体存储单元的目的。在数据写入存储单元后,要想保持住数据不丢失,必须在 64ms 内刷新 4096 次,也就是说,每隔 15.625μs 要刷新一次,也可集中进行刷新。SDRAM 支持数据猝发传输方式,但最多一次只能传输完一行的数据,称为全页猝发传输(在我们的系统中实际就是 512 个字节),这是因为当存储数据所在的行不同时,需要释放当前行并重新激活所需行,这些工作都要靠预充命令和激活命令来完成,因此无

法通过一次读/写命令完成所有存储单元的读/写。

3.2 系统接口电路设计

通过外同步时钟 EXSYNC 和行场信号 FVAL、LVAL 顺序读入 CCD 图像数据。根据 SDRAM 的工作特性,系统进行一次全页猝发就能传输 512 字节;之后再预充和激活,选择下一行进行第二次猝发传输,依此类推直到一帧图像数据传输完毕为止。由 SDRAM 刷新控制电路生成每隔 15.625μs 的刷新中断信号,并通过仲裁电路与地址切换电路完成读/写和刷新操作。整个接口电路部分使用一片 XILINX 公司生产的 FPGA 来实现,应用大规模可编程器件有利于系统实现的灵活性。

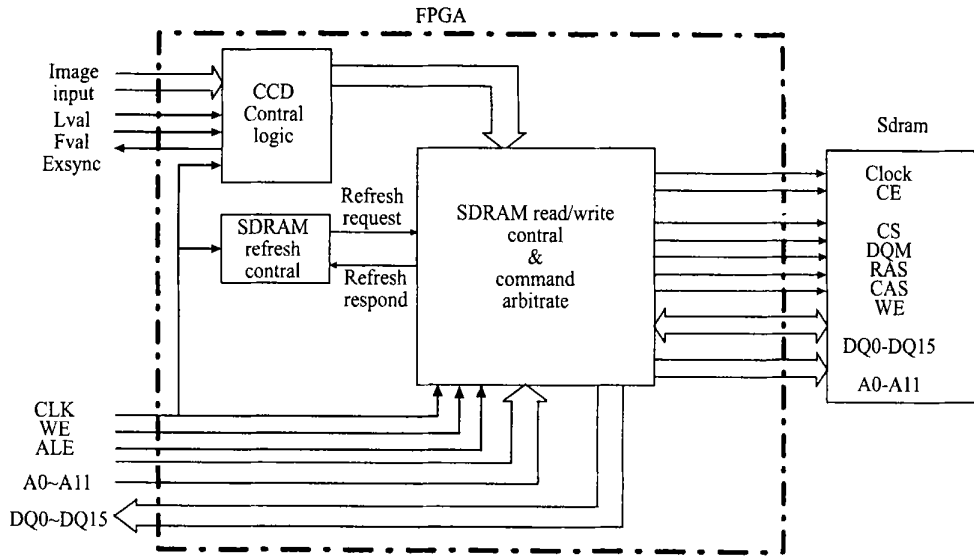


图 2 SDRAM 硬件接口电路
Fig. 2 SDRAM schematic.

3.3 SDRAM 接口状态机设计

在本系统中, SDRAM 的接口设计是极其关

键的, 根据 SDRAM 内部操作状态之间的联系, 通过状态机来实现接口设计, 如图 3 所示。

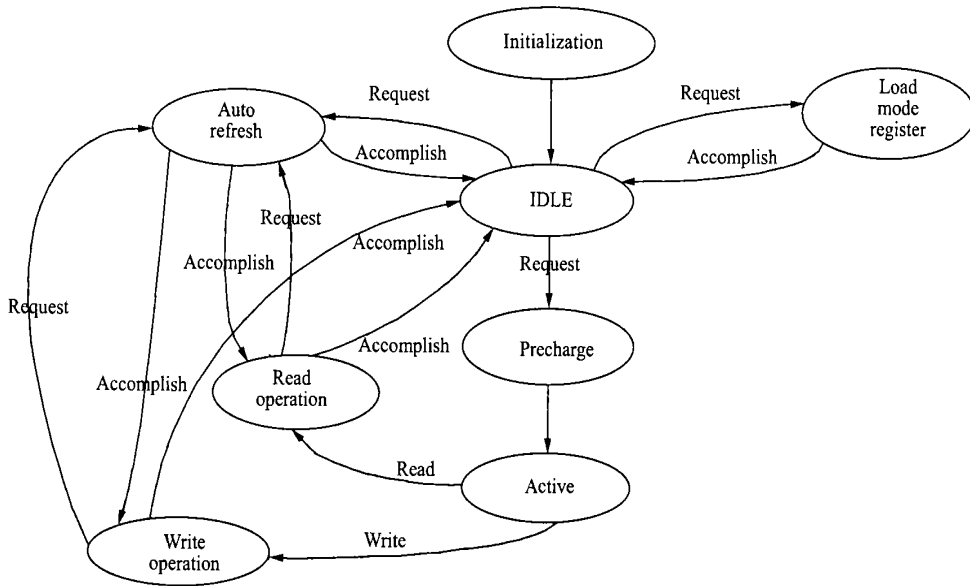


图 3 SDRAM 状态机转移图
Fig. 3 SDRAM state machine.

首先, 根据系统实际需要确定 SDRAM 的操作办法:

1) 不考虑随机存取模式, 只采用猝发方式读/写, 猝发长度是全页, 即 512 字节;

2) 固定 SDRAM 读命令输入到数据输出延时为 2 个时钟周期;

3) 采用自动刷新模式;

4) SDRAM 的初始化由 FPGA 上电后自动完

成;

5) SDRAM 的读写地址采用递增模式,连续变化。

当系统上电初始化完成后,SDRAM 即进入空闲状态。在对 SDRAM 进行操作之前,必须先完成对其模式寄存器配置加载以确定工作方式;而后一旦有读写请求后,就会顺序转移至预充和激活状态,再根据具体指令转入读状态或写状态。一旦 SDRAM 存储体中有数据后即需要对其进行刷新以保持有效数据,刷新有两种方式:自动刷新和自我刷新;而自我刷新无需外部时钟自动完成刷新任务,相当于 SDRAM 进入睡眠状态,要进一步对其进行读写操作需要从新唤醒 SDRAM;在本系统中由于是连续数据流操作,故采用自动刷新方式,只要保证在 15.625 μ s 内对存储体有效数

据区产生一次刷新操作即能维持住数据不丢失。具体状态转移如图 3 所示。

该接口状态机在 FPGA 内部实现,使用 VHDL 语言编写,利于系统的更新和综合平台的转移。

4 结 束 语

以上介绍了 SDRAM 的具体信号关系,说明了各种操作命令和状态转移之间的联系。并且给出了在高速图像采集和记录系统中的具体硬件接口设计,目前该系统实验已经完成,用 SDRAM 做为高速、大容量中间缓存优势明显,这进一步证明了 SDRAM 必然会有很好的应用前景。

参考文献:

- [1] Micron Technology Inc. 128 Mbit SDRAM Data Book [M],2001.
- [2] XILINX Inc. *The Programmable Logic Data Book* [M],2002.
- [3] 曾繁泰,陈美金. VHDL 程序设计[M]. 北京:清华大学出版社,2001.
- [4] 沙燕萍,曾烈光. SDRAM 接口的 VHDL 设计[J]. 电子技术应用,2000,(6):23-24.
- [5] 林振华. 用 VHDL 和有限状态机设计 VRAM 控制器[J]. 电子技术,2001,(2):14-15.

Realization of mass storage by using SDRAM in a high speed data acquisition and storage system

SU Hai-bing, WU Qin-zhang

(Institute of Optics and Electronics, Chinese Academy of Sciences, Chengdu 610209, China)

Abstract: As mass storage body, SDRAM has extensive usable value in high data processing. The architecture of the memory bank, interface signals and operation procedure are explicated, the hardware interface built by FPGA in a practical system is illustrated. The article also carefully analyzes the state transfer course when SDRAM is operated.

Key words: RAM; SDRAM; state machines; mass storage

作者简介:苏海冰(1969—),男,重庆人,助理研究员,理学硕士,从事计算机系统构架及其并行处理结构研究。

吴钦章(1955—),男,山东人,研究员,博士生导师,从事光电跟踪信息处理及计算机系统控制管理技术研究。